

大規模配線システム：GRP

Large-scale Routing System: GRP

あらまし

現在の自動配線CADには、大規模回路に対し高性能を実現する配線を短時間で処理する高速性と、多様な制約条件を満たしながら配線する多機能性が求められている。

Generalized Routing Processor(GRP)は、独自の配線手法であるタッチアンドクロス法を実装した、LSIおよび高密度プリント基板用の大規模自動配線システムである。1992年に実用化した超並列配線マシンRouting Processor(RP)の後継として汎用ワークステーション上のソフトウェアとして開発された。高品質を実現するいくつかの高速化手法の開発により、品質だけでなく、速度でもRPを数倍上回り、また特殊配線への対応が容易であるという特徴がある。本稿では、GRP開発の背景、自動配線技術の簡単な解説を行い、続いてGRPの高速な配線手法と特殊配線への対応機能を説明する。

Abstract

To cope with the routing of high-performance, large-scale circuits, automatic routing CAD tools must be fast and capable of handling a wide variety of conditions. The Generalized Routing Processor (GRP) is a large-scale automatic routing system for LSIs and high-density printed circuit boards. It is based on our original routing algorithm called the " Touch and Cross " method.

GRP runs on general workstations and is the successor to the Routing Processor(RP) which is a dedicated, massively parallel computer for routing that was developed in 1992. GRP features several techniques which make it superior to RP in both routing speed and the quality of the routings it produces. It also has functions for easy handling of special routings.

This paper gives the background of GRP s development, and a brief explanation of its automatic routing technique, high-speed routing technique, and functions for special routings.



松岡英俊(まつおか ひでとし)

1989年電気通信大学大学院電子工学科修士課程了。同年(株)富士通研究所入社。以来論理シミュレーション専用マシン、グループウェア、配線CADなどの研究開発に従事。コンピュータシステム研究所CAD研究部



新田 泉(にった いずみ)

1991年東京大学大学院工学系研究科情報工学専攻修士課程了。同年(株)富士通研究所入社。以来実装CADの研究に従事。コンピュータシステム研究所CAD研究部

ま え が き

LSIや高密度プリント基板は多層化や微細化が進み、デバイスごとに異なる配線規則を守って配線するため、配線問題としてはますます複雑化している。また、配線ツールに要求される性能として従来は配線可能性のみが重要であったが、近年では配線遅延の制御や、雑音対策、クロックの到達時間の制御など、多様な要求を満たしながら配線する必要が出てきた。

このような要求は変化が速いため、新しいデバイスや新しい要求に対応した配線CADツールがなかなか市場に出て来なかったり、出て来ても性能や機能的に満足に行くものではないことが多く、また新たな特殊機能を実現するのも困難なことが多い。

著者らは、市販の配線CADツールだけでは解決できないこのような問題に対処するため、1987年より開発に着手した超並列配線マシンRPを1990年に完成させ、独自の配線手法であるタッチアンドクロス法を実装した。RPは1992年から社内でプリント基板用システムとして本格運用を開始し、年間200～300品種の設計に適用し、配線設計時間を従来の1/3に短縮した。

RPの後継として、ワークステーションやパソコン上でタッチアンドクロス法を実現する自動配線ソフトGRPの研究を1994年から開始し⁽¹⁾、1996年には商用プリント基板統合設計システムICAD/PCBのパソコン版に組み込み、1998年末にはLSI版を実用化した。

本稿では、この大規模配線システムGRPについて説明する。はじめに自動配線の背景について、つぎにGRPの配線手法であるタッチアンドクロス法と高速化手法について説明する。さらにGRPの機能と今後の対応予定について言及する。

自動配線について

LSIやプリント基板の配線

LSIやプリント基板において、回路を実際にチップや基板上のどこに置くかを決定する処理を「レイアウト」という。一般にレイアウトは、部品の位置を決定する「配置」と部品間を結線する「配線」という二つに分けて処理する。一般に配線は、複数の配線層を使って行われ、配線層間はビアによって接続される。配線品質は未配線の本数、総配線長、ビア数、配線処理時間などで評価する。近年は配線遅延がゲート遅延を上回るようになり、高速回路の実現のために配線遅延の最小化や、クロック配線の到達時間の制御が求められるようになってきた。⁽²⁾ また

微細化や低電圧化が進み平行配線長を制限したり、電源配線を強化したりといった高速化、雑音対策を考慮した配線⁽³⁾が重要になってきた。

経路探索手法

配線処理の主なものは、結線すべき端子間を結ぶ経路を探索する処理である。この結線すべき端子間を結ぶ接続をネットと呼ぶ。グリッドベースの経路探索手法では、まず配線領域を碁盤の目のようなグリッドに区切る。配線はこのグリッドの上に行く。各グリッドの上に1ネットの配線しかなければ、配線間の物理的制約を満たしている。

ここではGRPで採用されている迷路法⁽⁴⁾を簡単に説明する。迷路法では、配線対象の一方をソース、他方をターゲットとして、ソースから波が広がるように、ソースからの距離をラベル値としてグリッドに書き込んでいく。この処理を「ラベリング」と呼ぶ。波がターゲットに到達すれば経路が見つかったことになる。後はターゲットから逆方向にたどっていけば経路が分かる。

ラベリングの様子を図-1(a)に示す。図中Sはソース、Tはターゲットを示す。縦横の罫線の交点がグリッドである。はラベルされたグリッドで、中の数値がラベル値である。同じラベル値のグリッドを結ぶと波のように広がっていていることが分かる。

迷路法の特長は経路が存在すれば必ず見つかること、また見つかった経路は最短であることが保証されていることである。GRPでは、ラベル値を一般化して距離だけでなく他の配線条件をも「コスト」と呼ばれる評価値で表し、足し合わせて使用している。

繰返し配線

配線は数多くのネットに対して順番に行うので、先に配線した経路が他の配線の障害物になり、配線経路が見つからない状態が発生する。このとき、既配線のネットをいったん削除して現在のネットの経路を決定後再配線するというRip-up and reroute法が提案された。⁽⁵⁾ この方法は大きく次の二つの方法に分類される。一つは配線制約を守ってネットの順番を変えることによって配線する方法であり、もう一つは配線制約違反も配線長のような「コスト」と呼ばれる評価値の一つと考え、配線途中はコストが最小になるならば配線制約違反も許す方法である。これらの方法は、配線するネットの順番によって強く配線品質が影響を受ける。多くの場合はこれらの方法で配線できるが、いかなる順番でネットを配線しても、これらの方法では解決できない場合がある。図-2はそのような配線の例である。図中各ABCのネットを配線する

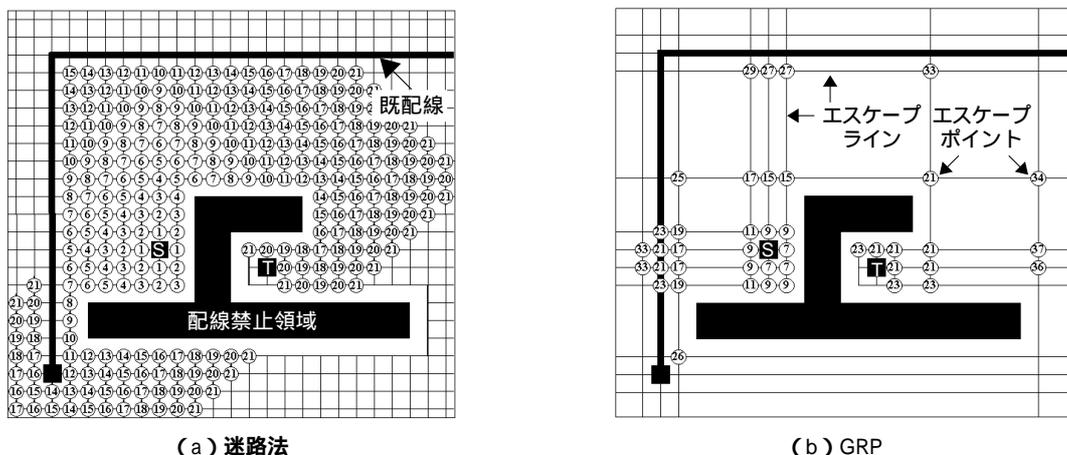


図-1 高速化手法によるラベリング量の比較
Fig.1-Amounts of labeling for two methods.

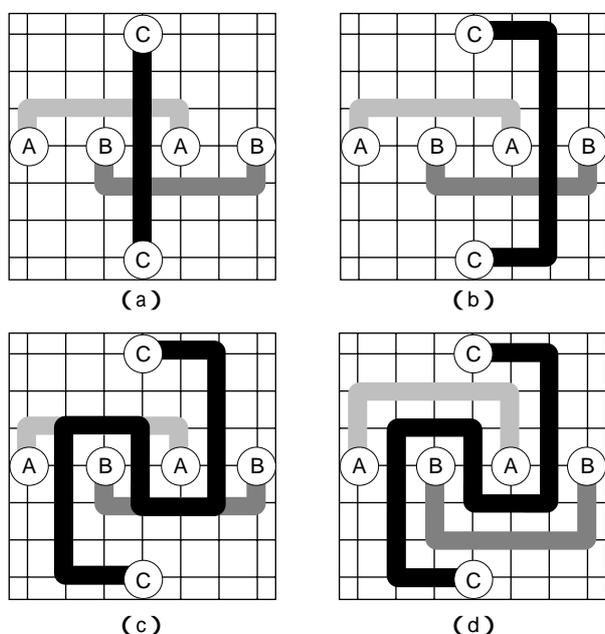


図-2 難しい配線問題の例
Fig.2-Simple and difficult routing example.

問題である。(d)が求めたい配線終了の状態である。三つの経路がどれも最短ではないことがこの問題の特徴であり、配線するネットの順番をどう変えても(a)や(b)の結果しか得られない。

GRPの配線手法

タッチアンドクロス法

著者らは、1990年に迷路法のコストベースの繰返し配線アルゴリズムであるタッチアンドクロス法を提案した。主な特徴はタッチ(複数の配線の接触)とクロス(複数の配線の交差)という二つの制約違反状態をコストとして表して、配線処理が終了するまではそれらの存在を許している点である。経路探索は、式(1)で表されるコストを

最小にするように行われる。

$$Cost = 1 * L + v * nV + t * nT + c * nC \quad (1)$$

ここで、 L が配線長、 nV がビア数、 nT がタッチ数、 nC がクロス数、 $1, t, c$ がそれぞれに対応するコスト係数である。このコストを最小にするように全ネットの経路探索を繰り返し行う。その際に t, c のコストを徐々に高くしていくことにより、最終的にタッチとクロスを除去し、配線を終了する。繰返し配線によりネットの順番の影響を減らすことができる。

先ほどの図-2の例は従来の配線アルゴリズムでは配線できなかった。タッチアンドクロス法で $t=2, c=20$ とすると、図-2(a),(b),(c),(d)のコストは、それぞれ40, 20, 12, 0となり、コスト最小の(c)の状態を経て、(d)の配線終了状態へ到達できる。このようにタッチアンドクロス法の大きな特徴は高い配線能力を持つことである。一方、式(1)のコストを最小化する経路を求めるための計算量は大きく、これをいかに高速に行うかが技術的ポイントとなる。

エスケープポイントによる高速化

タッチアンドクロス法の実行時間は、ラベリングの量に大きく影響を受ける。ラベリングの量を減らし、高速化するための手法について以下に説明する。

図-1(b)のように、エスケープラインと呼ばれる直線を、配線禁止領域、端子、配線された線分やビアの回りに発生させる。種類によってはそれらの上にも発生させる。エスケープラインは禁止や端子のような動かないものにぶつかるまで延長する。エスケープラインの交点をエスケープポイントと呼び、ラベリングはこのエスケープポイントを対象にして行う。ラベル値はソースからそのエスケープポイントへの最小コストを示す。

配線対象の一方をソースとしてラベリングを開始する。初めてラベルされたエスケープポイントはコストの小さい順に取り出せるように記録しておく。一度ラベルされたエスケープポイントへ、それよりも小さいコストで到達できた場合は、新しいラベル値で記録し直す。それ以上のコストで到達した場合は何もしない。先頭に記録されたエスケープポイントは取り出されると、その隣のエスケープポイントのラベル値を求め、同様にそのラベルの大きさによって記録するかどうか判断する。ターゲットに到達したときのラベル値(ターゲットコスト)を下回るラベル値のエスケープポイントが記録されている間は続けられる。

深さ優先探索による高速化

もう一つの高速化手法として、深さ優先探索によりラベリングを減らすものがある。各エスケープポイントのコストから(2)式によりQueue値を求める。

$$Queue = Cost + 1 * dTarget \quad (2)$$

ここで、 $dTarget$ は、目的地までのマンハッタン距離で1は先ほどの長さのコスト係数である。すなわちQueue値はそのエスケープポイントから目的地に到達した場合の最小のコストを示している。先ほどはコストの小さい順にキューに入れ、ターゲットコストを下回るコストのエスケープポイントがキューになくなるまで探索を続けたのに対し、今度はこのQueue値の小さい順にキューに入れ、ターゲットコストを下回るQueue値のエスケープポイントがキューになくなるまで探索を続ける。

GRPでのラベリングを図-1(b)に示す。従来の迷路法のラベリング図-1(a)と比較すると、

- (1) ラベリング量が大幅に削減でき、
- (2) タッチやクロスを許すため、既配線ネットの上にもラベルされている

ことが分かる。しかしながら従来方法と同様に最小コスト経路を見つけしており、高い品質を維持していることが分かる。

特殊配線への高い対応能力

微細化、低電圧化の進むLSIにおいては、多様な制約条件を満たしながら配線する能力が求められている。これら制約条件により問題が複雑化すると、一般には配線時間が非常に長くなったり、配線できていた回路が配線できなくなる問題が生じてしまう。

GRPは、最小コスト経路の高い探索能力をもっているため、制約条件をコストに反映させることで、配線可能性を犠牲にすることなく特殊配線を容易に実現することができる。

隣接する線分からある程度離し(スペーシング)、カップリング容量を減らすスペーシング配線機能が高速化の要求から不可欠になっている。

図-3は配線対象のLSIの一部に既配線のネットが1本だけ存在している様子で、新たに違うネットを配線する場合に各グリッドの持つコストを图示している。新たなネットの配線はコストの低い所を選んで配線される。既配線のネットの周りのグリッドは図のようにコストが高くなっている。図では簡単化のために一本しか既配線が存在しないが、実際は既配線が何本も存在しており、その場合は一本の場合のコストを足し合わせたコストになる。

タッチアンドクロス法でのタッチのコストは、図-3(a)のように他のネットが存在する位置のコストを高くしたものである。スペーシング配線のときには図-3(b)のように他のネットの近くのコストをスペーシングしたい幅だけ高く設定する。タッチのコストよりは低い適切な値に設定することにより、配線困難でない場所ではスペーシングを行い、配線困難なところは近づけてでも配線可能性を優先する。

参考文献(6)にGRPのスペーシング配線を適用した結果が示されている。スペーシング配線機能により配線困難でない場合の制約違反はほぼ100%自動で解消される。

スペーシングの逆で2本1組のネットをできるだけ近づけて差動信号を伝達させる平衡配線も、雑音の影響を

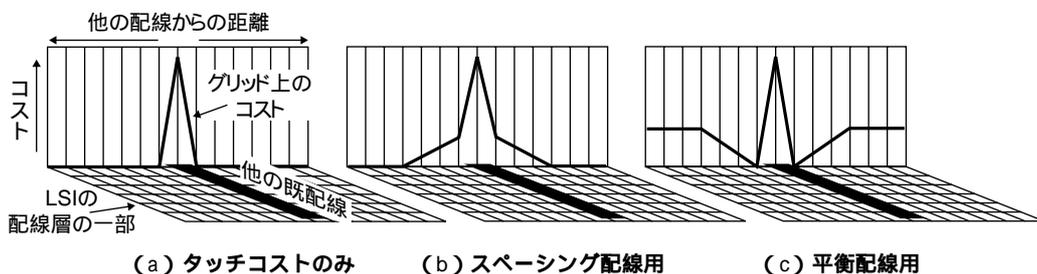


図-3 他の配線の周辺のコスト
Fig.3-Cost value distribution around other net.

受けやすいネットに効果が大きい。これは図-3(c)のようにコストを設定して実現する。この場合も配線困難なところは遠ざけてでも配線可能性を優先できる。

配線結果

GRPは配線対象の回路のデータと、配線スケジュールを記述したファイルを入力することにより、自動配線を行い、結果をファイルへ出力する。配線スケジュールにはタッチやクロスの実際の値の変化のさせ方や繰返し配線を行う部分領域の決め方が記述してある。

1993年から実用化された富士通の既存配線システムとの比較結果を図-4に示す。この既存配線システムも、タッチアンドクロス法を採用しているが、上述の高速化手法や配線コストの方式に違いがある。

図に示すようにGRPは配線処理速度が2.3~6.7倍、ビアは2割程度も減少している。さらにこのほかにもGRPの線長は同等以下で未配線や配線制約違反も少なく配線品質が良い。

今後の展開

タイミングドリブン配線

今後高性能回路への要求が高まり、タイミング制約(信号の遅延時間の上限下限の規定)を優先した配線が強く求

められるようになる。すなわちタイミング制約の厳しい配線は配線ツリー形状や配線幅制御、バッファ挿入の考慮^{(7),(8)}などにより、配線遅延の最小化を目指し、そうでない配線は混雑しそうな場所を避けて未配線の発生確率を減らしたり、他の制約の厳しい配線に場所を譲ったりする配線制御を行う必要がある。現在、GRPは既に一部タイミングを考慮した配線を行うことができるが、今後はさらに機能、性能を向上させタイミング制約を優先した高品質な配線を実現する予定である。

特殊配線

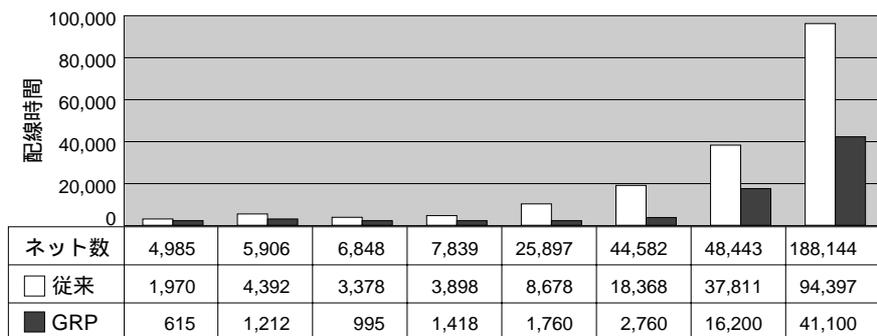
スペーシング配線や平衡配線のほかにも回路の高密度化、高速化、低電圧化に伴い、配線遅延や配線長などへの様々な配線要求が出て来ている。

品質や配線時間を犠牲にすることなく、これらの新たな要求に応えていくことが現在の課題である。

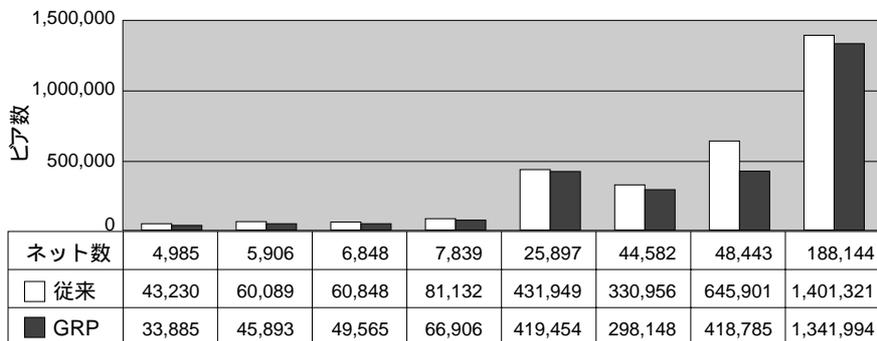
むすび

LSI、および高密度プリント基板用の自動配線システムである富士通の大規模配線システムGRPについて述べた。

現在、社内に設計、CAD、ファブリケーションの部門があり、設計製造過程を通じた問題解決が可能である。この強みを生かして先端CADの研究開発を進めることが重要と考える。



(a) 配線時間の比較



(b) ビア数の比較

図-4 GRPの配線結果

Fig.4-Routing results of GRP.

今後は、タイミング優先配線のような高性能回路に適した配線を、配線システムとしてはもちろんのこと、配置や論理合成といった他のCADツールと連携するなど、設計手法全体を見直して実現することを目指したい。

参考文献

- (1) K. Kawamura, S. Fueki, and H. Miwatari : Generalized Touch and Cross Router. *FUJITSU Sci. Tech. J.*, 31, 2, pp.208-214(1995)
- (2) J. Cong et al. : Performance optimization of VLSI interconnect layout. *INTEGRATION the VLSI journal*, ELSEVIER, 1996.
- (3) H. P. Tseng et al. : Timing and Crosstalk Driven Area Routing. *Proc. ACM/IEEE Design Automation Conf.*, 1998, pp.378-381.
- (4) C. Y. Lee : An algorithm for path connection and its applications. *IRE Transactions on Electronic Computers*, EC-10(3), 1961, pp.346-365.
- (5) H. Bollinger : A mature DA system for PC layout. *Proceedings of the First International Printed Circuit Board Conference*, 1979, pp.85-99.
- (6) 伊藤ほか : スタンダードセルLSIレイアウトシステム : GigaGate. *FUJITSU*, 50, 6, pp.378-381(1999)
- (7) T. Okamoto and J. Cong : Buffered Steiner Tree Construction with Wire Sizing for Interconnect Layout Optimization, *Proc. ACM/IEEE Design Automation Conf.*, 1996, pp.44-49.
- (8) A. Vittal and M. Marek-Sadowska : Minimal Delay Interconnect Design Using Alphabetic Trees, *Proc. ACM/IEEE Design Automation Conf.*, 1994, pp.392-396.

