

タイミングドリブン配置システム： SMINCUT + BIGWIG

Timing-driven Placement System: SMINCUT+BIGWIG

あらまし

大規模・高性能LSIの設計を短期間に行うために、自動的タイミング最適化を行うレイアウトツールの必要性が高まっている。

著者らは、既存の配置ツール“ SMINCUT ”に新たにタイミング最適化ツール“ BIGWIG ”を組み合わせることにより、与えられたタイミング制約を満たす配置結果を自動生成するタイミングドリブン配置システム“ SMINCUT + BIGWIG ”を開発した。このシステムでは、配置位置の最適化だけでなく、論理変更を行うことにより、配置の品質を保ちながら、従来は困難であった高性能LSIのタイミング制約を満たすレイアウトを生成することを可能としている。

本システムは、エンベデッドアレイLSIレイアウトシステム“ GLOSCAD ”に組み込まれ、大規模LSIのレイアウト設計期間短縮に貢献している。

Abstract

A layout tool for optimizing timing automatically is essential for reducing the turn-around time in large-scale and high-performance LSI design. This paper describes a new timing-driven placement system called“ SMINCUT+BIGWIG ”which automatically produces placement results to satisfy given timing constraints.

This system is a combination of an existing placement tool called“ SMINCUT ”and a new timing optimization tool called“ BIGWIG.” By not only optimizing placements but also re-synthesizing logic, this system can produce layouts that satisfy timing constraints in high-performance LSIs while maintaining the quality of placement. SMINCUT+BIGWIG has been integrated with embedded array LSI layout system“ GLOSCAD ”and is helping Fujitsu designers improve the layout design turn-around times of its large-scale LSIs.



金澤裕治（かなざわ ゆうじ）

1990年東京大学大学院工学系研究科情報工学専攻修士課程了。同年(株)富士通研究所入社。以来オペレーティングシステム・実装CADの研究に従事。
コンピュータシステム研究所CAD研究部



澁谷利行（しぶや としゆき）

1985年早稲田大学理工学部電子通信学科卒。同年(株)富士通研究所入社。以来実装CADの研究に従事。
コンピュータシステム研究所CAD研究部

ま え が き

同期式LSIを所定のクロック周波数で動作させるためには、信号がフリップフロップ(FF)の出力ピンから出発してFFの入力ピンに到達するまでの時間がクロック周期に入っている必要がある。信号到達が遅すぎる制約違反をセットアップエラーと呼び、到達が速すぎるものはホールドエラーと呼ぶ。これらのタイミング制約違反がないことを保証するため、同期式LSIの設計では、LSI内部を伝わる信号の到達時間を見積り、遅延がタイミング制約内にあるように設計を行わなければならない。

従来のテクノロジーでは、配線による遅延の変動は無視できる量だったため、論理設計段階で遅延を考慮しておけば十分であり、レイアウト設計で遅延を考慮する必要は少なかった。しかし、テクノロジーの微細化が進むと、配線長による遅延の割合は増大する。例えば、0.5 μm と0.25 μm のテクノロジーで比較したとき、セル内部の遅延はトランジスタサイズにほぼ比例して0.5倍になるが、配線による遅延増加量は逆に増加する。

0.25 μm 以降のテクノロジーでは、配線による遅延の変動が無視できない量になる。レイアウトを行わないと遅延の値が正確に求まらないため、レイアウト後に遅延を求め、タイミング制約違反があった場合は論理合成へ戻って作業をやり直す必要が発生し、タイミング制約違反を取り除くための作業量が増大するという問題が発生している。

この問題を解決するため、レイアウト設計段階においてタイミング最適化を行うタイミングドリブンレイアウト機能の開発が必要になってきた。

著者らは、配置実行中にゲートサイジング、バッファ挿入などの論理変更を行うことによって、タイミング制約を満たす配置結果を得やすくなると考え、タイミングドリブン配置システムを開発した。このシステムを使用して実験を行い、タイミング制約違反の削減効果を確認している。

本稿の構成は、以下のとおりである。まず、タイミング問題対策の現状について説明する。つぎに、タイミングドリブン配置システムの基本思想を述べる。さらに著者が実装したタイミングドリブン配置システム“SMINCUT + BIGWIG”と、タイミング制約情報生成システム“titan”について説明し、最後にその実験結果を述べる。

従来のタイミング問題対策

上述したタイミング問題の解決策としてレイアウト設

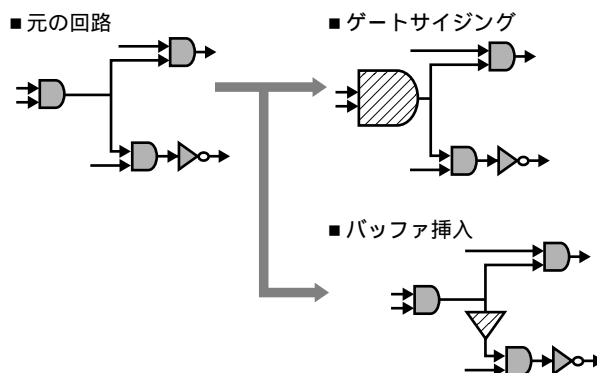


図-1 ゲートサイジングとバッファ挿入
Fig.1-Gate sizing and buffer insertion.

計段階で取り得る手法には、以下の2種類が存在する。

- (1) 配置・配線において遅延を縮めなければならないネット(クリティカルネット)の配線長が短くなるようにレイアウトする手法である。
- (2) タイミング制約を満たせない部分を論理変更し、タイミング制約を満たすように変更する手法であり、主に使われるものは、ゲートサイジングおよびバッファ挿入である(図-1)。

ここでゲートサイジングとは、クリティカルネットをドライブしているセルを、論理は同じだがパワーが強いタイプのセルに置き換えることにより、遅延を改善するものである。

また、バッファ挿入とは、ネットにバッファ(入力と同じ信号を出力するセル)を挿入しネットを分割することにより、遅延を改善する手法である。この手法によって遅延が改善される理由は二つある。一つは、長い配線の途中にバッファを入れることによって配線遅延が減少すること(リピータ挿入)であり、もう一つは、ネットが複数のセルに信号を伝えているときに、バッファによってネットを分割することにより、クリティカルネットの容量が小さくなること(critical path isolation)である。

配置・配線でクリティカルネットの線長を短く配線した上で、レイアウト後に遅延を解析し、ゲートサイジングやバッファ挿入などの論理変更により遅延を改善するツールはすでに存在している(ポストレイアウト最適化)。セットアップエラー、ホールドエラーの2種類のタイミング制約違反のうち、ホールドエラーについては、ポストレイアウト最適化ツールでディレイバッファを挿入することにより、その大部分は削減可能である。しかし、セットアップエラーについては、ポストレイアウト最適化ツールの最適化能力では不十分になりつつある。今後レイアウトによる遅延の変動がますます大きくなる

究所で開発した論理変更ツール“BIGWIG”を連携させる。さらに、SMINCUT + BIGWIGへの入力となるタイミング制約情報生成ツールとしてtitanというツールを組み合わせて使用する。

- SMINCUTによるタイミング最適化

SMINCUTは、パーティショニングベースの配置ツールであり、GLOSCADをはじめとするLSI CADシステムの配置エンジンとして既に実用化されている。パーティショニングにはmincut法⁽²⁾を使用しており、さらに独自のSNT、LRなどの手法^{(3)・(6)}を用いて品質および速度性能の向上を図っている。

クリティカルネットを抽出するため、SMINCUTではスラックという値を用いる。スラックとは、あるネットの遅延を、タイミング制約の範囲内でどれだけ増加させられるかという余裕を示す値である。

具体的にはスラックは以下のように計算する。スラックは、タイミング制約を満たすためには最悪でもこの時間で届かなければならない時間(要求到達時間)から、FFから出発した信号がネットに到達する時間(実到達時間)を引いたものである。例えば、FFからFFまでの信号が10 nsで届けばよいときに、実際には8 nsで届いていれば、その経路に属するネットではスラックは2 nsである。もし13 nsで届いていたならばスラックは-3 nsとなる。

SMINCUTは配置を行う過程で、指定されたタイミング(例えば、1, 2, 4 回目のカットの直後)で、現在のセル配置状況をBIGWIGに渡し、遅延の計算と論理再最適化を依頼し、BIGWIGはスラックを返す。

SMINCUTは、以下に述べる方法を使用してスラックの値が一定値以下のネットの線長を短縮するように制御する。

スラックが負の値になっているネットに対しては、ネットに接続しているセルがパーティショニングしている両ブロックのうち、一方のブロックだけに入るように制御する。また、固定セルや外部端子に接続したネットについては、その座標を考慮してネットの線長を見積もる。ネットに接続したセルをすべて同一ブロックに入れなければタイミング制約を満たせないことが分った場合は、全セルを1ブロックに入れる。ただし、クリティカルネットを無理に1ブロックに入れてしまうと、配線性が落ちる可能性がある。そのため、クリティカルネットに接続しているセルの合計面積がある限度を超える場合は、スラックが大きいものからクリティカルネットを1ブロックに入れることを中止して、以下で述べる処理を適用する。

スラックが正の値だが、ある一定値以下の場合におい

ては、mincutアルゴリズムにおいて、クリティカルネットのカットは通常ネットの2倍の重みをかけて重み付きカット数を最小化する。クリティカルネットのカットは通常ネットのカット2本分に対応するため、結果としてクリティカルネットはカットされにくくなり、近くに配置されることになる。

それ以外のネットに関しては、従来と同様に配置することになる。

- BIGWIG

BIGWIGは、タイミング制約を満たさない部分に対して簡単な論理変更を行い、タイミング制約を満たす回路に変更し、結果の遅延をSMINCUTに送る。

現在BIGWIGが持っている論理変更機能は、ゲートサイジングとバッファ挿入である。ユーザが、ゲートサイジング、バッファ挿入を指定した場合は、BIGWIGはクリティカルネットに接続しているセルに対してゲートサイジング、バッファ挿入を行う。

BIGWIGのバッファ挿入では、ダイナミックプログラミングの手法を用いて最適なバッファ挿入パターンを求めるアルゴリズム⁽⁷⁾を使用している。このアルゴリズムでは、リピータ挿入とcritical path isolationの二つの効果を同時に考慮した上で最適なバッファ挿入パターンを求めることが可能になっている。

- titan

titanは、SMINCUT + BIGWIGへの入力となるタイミング制約情報を生成するツールである。

理想的なタイミング制約では、すべてのFF間で信号の遅延が(マシサイクル時間 - FFのセットアップ時間)以下に入っているという条件を満たせばよい。このような制約であれば、タイミング制約の指定方法はサイクル時間を一つ指定すればよいことになる。しかし、実際のLSI設計においては、マルチサイクルパスなど、複雑なタイミング制約条件が存在する。また、外部I/Oのタイミングが定められているようなチップにおいては、内部で使用するクロックと外部とのインタフェースのために使用するクロックが混在することになる。このため、基本サイクルと異なるクロックで動作するFFが数多く存在し、現実にはサイクル時間を一つ指定するような単純な方法で済むLSIは少ない。

現在ユーザが所有しているタイミング制約情報は、スタティックタイミング解析ツールや論理合成ツールへの入力スクリプトの形で存在している。そこで、スタティックタイミング解析ツールGista⁽⁸⁾や、Design Compiler (DC)の入力スクリプトを読み込んで、SMINCUT +

表-1 実験結果

適用例 項 目	(1) 従来結果	(2) 線長短縮	(3) (2)+ゲートサイジング	(4) (3)+パッファ挿入
セットアップ エラー数	314	1,028	9	0
最大delta	5.85 ns	2.73 ns	0.55 ns	-
サイズ変更セル数	-	-	1,028	1,218
パッファ挿入数	-	-	-	245
面積増加 (BC)	-	-	4,012 (0.20%)	5,024 (0.26%)

セル数 : 134,191
ネット数 : 136,889
全BC数 : 1,899,148

BIGWIG用タイミング制約フォーマットに変換するツールtitanを用意した。titanは、GistaやDCのスキプトを読み込み、クロックパスをトレースして、FFが受けているクロックを解析し、各FF間の制約時間を割り出してSMINCUT + BIGWIG用のタイミング制約ファイルを生成する。

これにより、ユーザはSMINCUT + BIGWIG用タイミング制約を新たに生成することなくSMINCUT + BIGWIGを使用することが可能になる。

実 験 例

SMINCUT + BIGWIGの遅延最適化能力を確認するため、実LSIの設計データを使用して実験を行った。

SMINCUT + BIGWIGの適用例を表-1に示す。結果はすべて実配線前の評価なので、配線長としては理想的な配線の長さ、クロック信号の到達時刻についても理想的に行われたと仮定して遅延を計算して、セットアップエラーの数を求めた。最大deltaは、セットアップエラーが存在したときのタイミング制約と実到達時間の差の最大値である。最大deltaが大きいくほど、小規模な修正でタイミング制約を満たすレイアウトを得るのが困難になる。

SMINCUTでのクリティカルネット短縮機能だけを使用すると、最大deltaは減少するが、その副作用で他の部分の線長が伸びるため、エラー数は増加する。しかし、配置中にゲートサイジングを行うことにより、エラーが9個まで減少し、さらに、パッファ挿入まで行うことにより、セットアップエラーがなくなった。

む す び

タイミングドリブン配置システムSMINCUT + BIGWIGを作成し、実験で効果を確認した。現在、このシステムはGLOSCADなどのLSI CADシステムの配置エンジンとして実用化され、LSI設計に貢献している。

今後の課題としては、配置ツール以外でのタイミングコントロールが挙げられる。配置ツールで遅延を抑え込んでも、配置ツールで仮定した配線パターンと、実際の配線結果が異なることによって配線の段階でエラーが生じる可能性は十分に存在する。これをなくすため、配線ツールで使用している概略配線エンジンとタイミングドリブン配置ツールで使用する概略配線エンジンの共有化を行い、タイミング最適化能力を高めていきたいと考えている。

参 考 文 献

- (1) 杉岡：エンベデッドアレイLSIレイアウトシステム：GLOSCAD。FUJITSU，50，6，pp.382-387(1999)
- (2) C. M. Fiduccia and R. M. Mattheyses：A Linear Time Heuristic for Improving Network Partitions. In Proc. ACM / IEEE Design Automation Conf.，1982，pp.175-181.
- (3) T. Shibuya，I. Nitta, and K. Kawamura：SMINCUT：VLSI Placement Tool Using Min-Cut. Fujitsu Sci. Tech. J.，31，2，pp.197-207(1995)
- (4) 澁谷，河村：Hill-Climbingを用いたパーティショニング最適化手法。VLD93-74，1993，pp.1-8.
- (5) J. Cong et al.：Large Scale Circuit Partitioning With Loose/Stable Net Removal And Signal Flow Based Clustering. Proc. International Conf. on Computer-Aided Design，1997，pp.441-446.
- (6) 金沢，澁谷：クラスタとセルの流れに注目したmincutアルゴリズム。DAシンポジウム 98論文集，1998，pp.37-42.
- (7) L. P. P. van Ginneken：Buffer Placement in Distributed RC-tree Networks for Minimal Elmore Delay. Proc. IEEE Int. Symp. Circuit Syst.，1990，pp.865-868.
- (8) 今野：静的タイミング解析ツール：Gista，FUJITSU，50，6，pp.388-392(1999)