

サブ0.1 μm CMOS技術

CMOS Scaling beyond 0.1 μm

あらまし

LSIは市場の要求から，サブ0.1 μm 世代に向けて急速なデバイスの微細化と低電圧化が行われている。トランジスタを微細ゲート長で正常に動作させること，そして低電圧においても微細ゲート長に見合った高性能を実現することが開発の基本目標である。

本稿は，この目標に向けて行ったトランジスタ設計指針の検討と実験結果について述べる。検討した内容は低しきい値化，短チャネル効果抑制と寄生抵抗および寄生容量の低減技術である。これらの検討の結果，基本ゲート遅延時間で11 ps/ゲートの超高速性能を実現できた。この動作速度は，これまでに報告されたSOIデバイスを含む微細CMOSの中でもトップレベルの性能である。

Abstract

To meet the market's demand for LSIs with even higher performances, device scaling and reduced power supply voltages have been aggressively pursued in order to develop sub-0.1 micron CMOS devices. The main goals of the new technologies that have been developed are to enable CMOS devices to operate normally with shorter gates and to obtain a high performance from these shorter gates even at a low voltage.

This paper describes a new CMOS device that meets the above goals and describes some of its experimental results. The new CMOS device incorporates technologies for threshold voltage reduction, short-channel effect suppression, parasitic resistance reduction, and parasitic capacitance reduction. Experiments have shown that this device has an ultra-fast gate delay of 11 ps, which is very competitive with already reported CMOS devices such as SOI CMOS devices.



杉井寿博（すぎい としひろ）

1981年東京工業大学総合理工学研究科卒。同年(株)富士通研究所入社。以来半導体デバイス，プロセスの研究，開発に従事。1991年東京工業大学より学位を授与される。
基盤技術研究所機能デバイス研究部



後藤賢一（ごとう けんいち）

1991年東北大学工学部電子工学科卒。同年(株)富士通研究所入社。以来，微細CMOS用サリサイドプロセス，浅い接合の研究開発に従事。1998年工学博士。
基盤技術研究所機能デバイス研究部



初山陽一（もみやま よういち）

1992年新潟大学大学院工学研究科電子工学専攻了。同年(株)富士通研究所入社。以来微細CMOSデバイスの研究，開発に従事。
基盤技術研究所機能デバイス研究部

ま え が き

飛躍的に増大する画像データの処理やネットワークを介した高速通信の需要と、急拡大している各種携帯情報機器の要請から、プロセッサやシステムLSIの低電源電圧での高速性能の要求は今後ますます増大していく。今日までLSIはスケーリング則により集積度、性能、コストを飛躍的に向上させてきた。このLSIの進歩を制限してきたのは、従来は微細加工技術、とくにリソグラフィであったが、サブ0.1 μm に向けては制限要因がLSIの基本要素であるトランジスタにまで広がる。これは、従来から高速化、低消費電力化を阻害してきた寄生抵抗、寄生容量の影響が微細化とともに増大するだけでなく、キャリアの速度飽和によりオン電流が制限されたり、リーク電流の増大のためにしきい値をスケーリングしにくくなることから、今まで我々がスケーリングにより享受してきた高性能化が厳しい状況になりつつあるためである。これに対処するため、従来のペースを上回る微細化と、SOI基板やCu配線、低誘電率層間膜などの新規テクノロジーの導入が活発になっている。とくに、速度性能を決定するゲート長の微細化はここ数年加速してきている。⁽¹⁾ 1999年、半導体各社から出荷され始める0.18 μm 世代のLSIには、トランジスタのゲート長が1世代分程度さらに縮小したものを使用している場合が多い。研究、開発レベルではその先のサブ0.1 μm のゲート長がターゲットになりつつある。

このような状況の中、トランジスタおよびプロセス開発に要求されることは、急速なデバイススケーリングと低電圧化に対応できるテクノロジーの提供である。トランジスタを微細ゲート長で正常に動作させること、そして低電圧においても微細ゲート長に見合った高性能を実現することが開発の基本目標である。

本稿では、サブ0.1 μm 世代に要求される低電圧動作かつ高速性能化に対して、予想される課題の解決に向けてのトランジスタ設計指針と検討結果を述べる。

トランジスタの課題と設計指針

サブ0.1 μm トランジスタを開発する上での基本指針は、低しきい値における短チャネル効果の抑制(オフ電流低減)と、高速化および低消費電力化を阻害する抵抗ならびに容量の低減である。

- 低しきい値化と短チャネル効果抑制

スケーリング則から、短チャネル効果の抑制にはトランジスタ内部の電界分布をスケーリングの前後で一定に保つ必要があり、電源電圧の低下だけでなく、トランジ

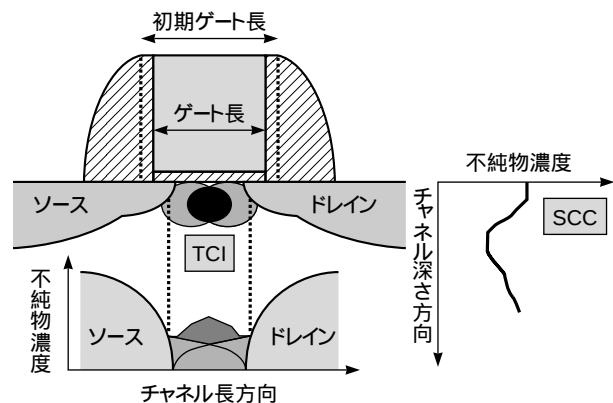


図-1 サブ0.1 μm 用に提案したチャネル不純物構造
Fig.1-Concept of channel engineering for sub-0.1 μm MOSFETs.

スタのチャネル部の不純物濃度の増大が必要である。これはしきい値(V_{th})が増大(逆スケーリング)することになり、トランジスタが流すことができる電流{オン電流($V_g - V_{th}$), V_g : 電源電圧}の低下、したがって速度性能の低下を引き起こす。低しきい値化と短チャネル効果抑制のトレードオフを回避する必要がある。このため、チャネルの不純物分布を均一分布ではなく、2次的に分布を設計する必要が生じてきた。これは、短チャネル効果の原因であるソース/ドレインのチャージシェアが2次的に生じるためである。

著者が提案するチャネル部の二次元不純物分布の模式図を図-1に示す。⁽²⁾ 単にチャネル濃度を高くするのではなく、短チャネル効果が現れる短いゲート長近傍でのみチャネル濃度を高くする必要がある。このコンセプトを実現するため、ゲート電極となるポリSiを加工後に、Si基板に対して角度をつけてチャネルの不純物をイオン注入するプロセス(TCI: Tilted Channel Implantation)を開発した。このプロセスでチャージシェアによるしきい値低下が顕著になるゲート長領域においてのみ、ゲート電極の両側からの斜めチャネル注入のオーバーラップによりチャネル不純物量を増やすことができる。低しきい値化と短チャネル効果抑制を両立できる。この斜めチャネル注入プロセスで試作を行ったPMOSFETのオン電流とオフ電流の関係を図-2に示す。⁽³⁾ 短チャネル効果を十分に抑制したため、より短い実効チャネル長(L_{eff} : ソース、ドレイン間の冶金学的距離)での動作が可能になり、オフ電流1 nA/ μm におけるオン電流は0.36 mA/ μm が得られ、最高性能を実現できた。

- 抵抗の低減

トランジスタの高性能化に大きく貢献するのが、トランジスタが流すことができるオン電流の増大である。こ

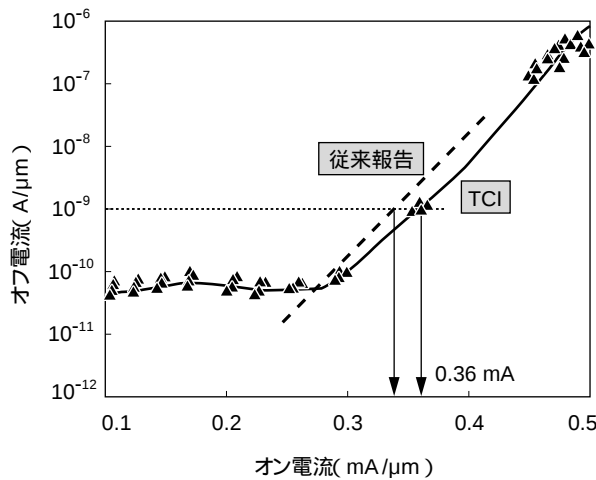


図2 斜めチャネル注入プロセスで試作したPMOSFETのオン電流とオフ電流の関係

Fig.2-Ion-Ioff characteristics of PMOSFETs with tilted channel implantation.

これはトランジスタの抵抗を低減することにほかならない。抵抗はトランジスタの真性領域の抵抗(オン抵抗)と真性部以外の抵抗(寄生抵抗)に分けることができる。

オン抵抗 ($L_{\text{eff}}/C_{\text{ox}}$, C_{ox} : ゲート容量)低減には実効ゲート長の短縮のほかに、ゲート酸化膜の薄膜化によるチャネル部のキャリア数の増大を図ることが有効である。ゲート酸化膜の薄膜化は電源電圧の低下と適合すること、また短チャネル効果抑制にも有効であることから、世代とともに指数関数的に行われてきた。0.13 μm の世代では3 nm前後が予想されている。しかし、膜厚がこれくらい薄くなると、ゲート電極の空乏化と反転層容量の影響で電気的な実効膜厚が、物理的に薄くした割には薄くならず、オン電流増大への寄与が小さくなる。さらに、2 nm以下の膜厚が必要になるサブ0.1 μm 世代では、電子がゲート酸化膜を直接トンネルすることによるオフ電流が増大し、これまでSi-LSIの大規模化を支えてきたSi酸化膜系のゲート絶縁膜のスケリングは終焉を迎える状況である。このため、それに代わる新しいゲート絶縁膜の開発が急務である。その絶縁膜の物性には、Si基板と電氣的に良好な界面を有し、かつ高い誘電率であることが要求される。

ゲート電極の空乏化とトンネル電流の増大に対処するため、高誘電率のタンタル酸化膜(Ta_2O_5)のゲート絶縁膜と、従来のポリSiに代わる窒化チタン(TiN)からなるメタルゲート電極を検討している。DRAMのキャパシタへの適用と異なり、トランジスタのゲート絶縁膜に用いるためには界面準位の低減が必要である。著者らは Ta_2O_5 堆積前に非常に薄いSi酸化膜(2.1 nm)を形成することで、ト

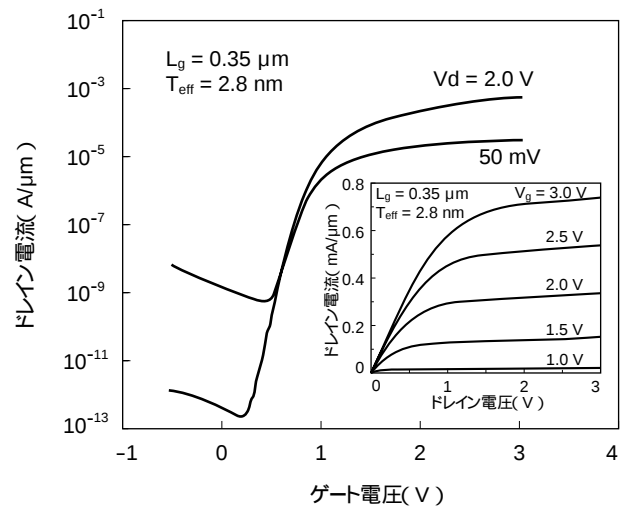


図3 Ta_2O_5 をゲート絶縁膜に用いたトランジスタのI-V特性

Fig.3-I-V characteristics of NMOSFETs with Ta_2O_5 gate insulator.

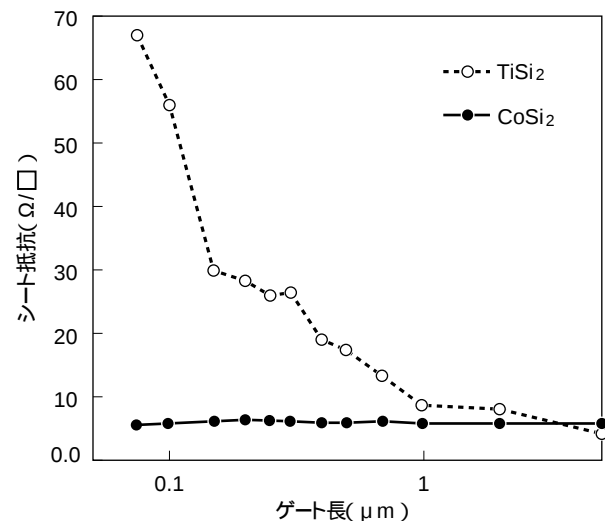


図4 コバルトおよびチタンシリサイドのシート抵抗のゲート長依存

Fig.4-Gate sheet resistance of conventional Ti salicide and Co salicide as function of gate length.

ランジスタの正常動作を実現している(図-3)⁽⁴⁾

トランジスタの寄生抵抗は、前述のオン抵抗に対して無視できる大きさにすることが理想である。サブ0.1 μm のゲート長の場合、実効ゲート長は0.05 μm 程度になり、そのときのオン抵抗は数百 $\Omega \cdot \mu\text{m}$ になる。そのため、寄生抵抗の目標値は数十 $\Omega \cdot \mu\text{m}$ 以下である。寄生抵抗は、大きくソース/ドレイン部のコンタクト抵抗と、ソース/ドレイン部の拡張領域(エクステンション部)の抵抗に分けることができる。コンタクト抵抗を下げるためには、決められた素子面積でできるだけ広いコンタクト領域を確保できる、セルフアラインでシリサイド層を形成する

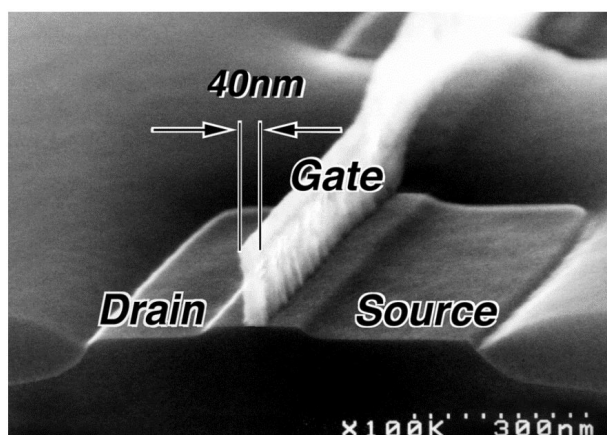


図-5 ゲート長40 nmのトランジスタの電子顕微鏡像

Fig.5-Cross-sectional SEM image of device with 40 nm gate length after side-wall removing.

サリサイドプロセスが必須である。またオン電流の大小には影響しないが、AC特性(回路特性)に大きな影響を与えるゲート抵抗の低減も必須で、サブ0.1 μm のゲート長で数 $\Omega/\square$ 以下にする必要がある。従来、サリサイド用の材料としてチタンシリサイド(TiSi_2)が用いられていたが、ゲートが細くなるとシート抵抗が上昇してしまう、いわゆる細線効果(図-4)が生じるため、サブ0.1 μm 世代での使用が困難であった。著者らはこの細線効果がないコバルトシリサイド(CoSi_2)をソース/ドレイン/ゲート上に、セルフアラインで一括して形成するサリサイドプロセスを開発し、サブ0.1 μm 世代への適用を可能にした。⁽⁵⁾

エクステンション部は低抵抗が必要であるが、短チャネル効果の抑制のために接合を深くすることはできない。高濃度でチャネル方向に急峻かつ領域を短くする必要がある。サブ0.1 μm 世代ではエクステンション部を浅くしないとチャネル部への不純物の回り込みが大きくなり、必要な実効ゲート長の確保が困難になる。著者らは、浅い接合形成に関して特に形成が困難なPMOSについて、その不純物であるボロンの実効的なイオン注入時の加速エネルギーを、従来の約1/10の200 eVにまで下げることにより、ゲート長40 nmで正常かつ高オン電流の実現に成功した。⁽⁶⁾ 図-5は試作したPMOSの電子顕微鏡像である。この浅い接合形成のために、従来のボロン単体のイオン注入と異なり、ボロン原子を塊(クラスタ)の状態で行う技術を開発した。著者らが半導体プロセスに初めて用いたデカボラン($\text{B}_{10}\text{H}_{14}$)の分子構造を図-6に示す。このクラスタイオン注入の特徴は、

- (1) クラスタのサイズに応じて、ボロン単体の場合と比べて実効的に低加速エネルギーのイオン注入が可能

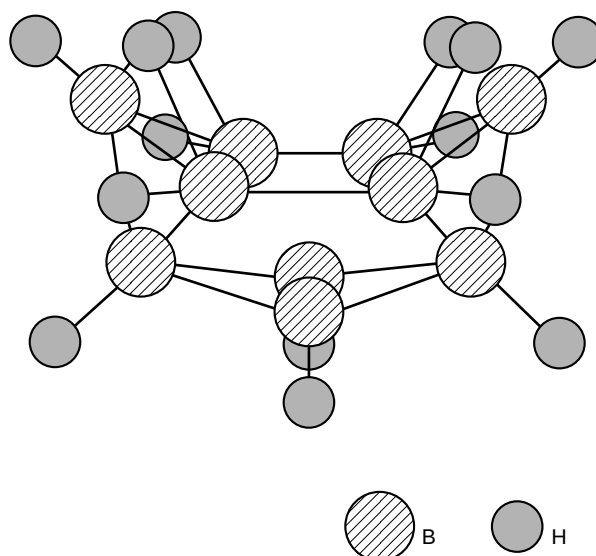


図-6 デカボラン($\text{B}_{10}\text{H}_{14}$)の分子構造

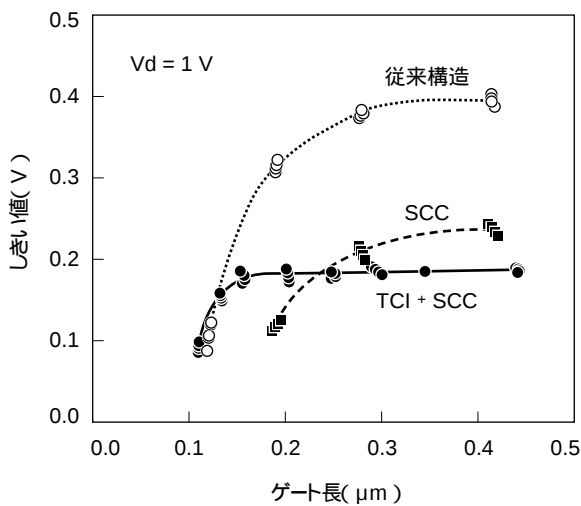
Fig.6-Decaborane molecular structure.

で、デカボランの場合では1/10以下の実効加速エネルギーとなる、

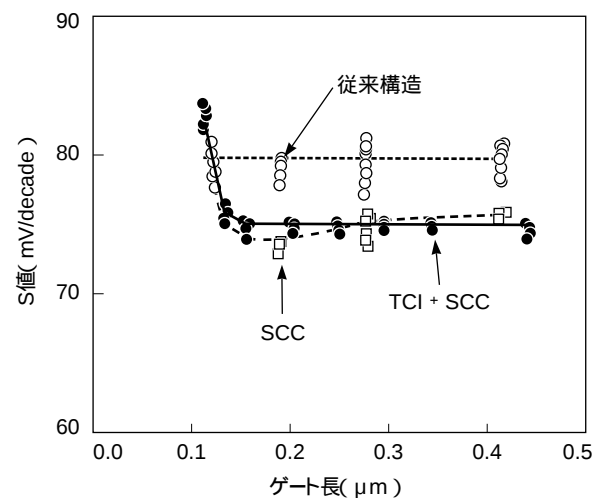
- (2) 1個のイオンでクラスタサイズに応じた多数の原子を注入できるため、ボロンイオンに比べて低ドーズ量でよく、スループットの向上とチャージダメージを低減できる、
- などである。

- 容量の低減

抵抗の場合と同様に、容量についても真性領域の容量(ゲート容量)と真性部以外の容量(寄生容量)に分けることができる。ゲート容量の低減はロジックゲートにおいて次段の入力容量の低減になり、高速化に大きく貢献する。低減法はポリSiゲート長の微細化とゲート酸化膜の厚膜化である。しかし、後者はオン抵抗の増大となるため、現状は各社ともゲート長の微細化を加速しているわけである。寄生容量はトランジスタにぶら下がる全く不要の容量で、その充放電に費やす時間とエネルギーのために、速度低下と消費電力の増大を引き起こす。CMOSで回路を構成する場合、その動作上、ゲートとドレイン間の容量がミラー効果のために2倍の影響を持つため、その低減が特に重要である。著者らは、ゲートとドレイン間の容量低減のために、ポリSiゲートを加工した後、その側壁を酸化してからエクステンション部へのイオン注入を行うことで、その容量の低減を実現している(図-1)。⁽²⁾ またサブスレシヨルド領域におけるオン電流のゲート電圧依存(S値)を急峻にすることによるオフ電流の低減と、低電圧での接合容量増大を抑制するために、基



(a) しきい値のゲート長依存



(b) S値のゲート長依存

図-7 TCIとSCC構造を導入したNMOSFETのしきい値とS値のゲート長依存

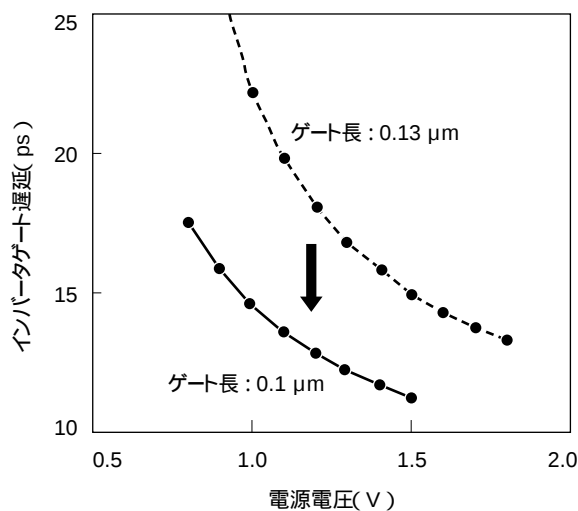
Fig.7-Effects of TCI and SCC on V_{th} roll-off and S-factor.


図-8 インバータゲート遅延時間の電源電圧依存

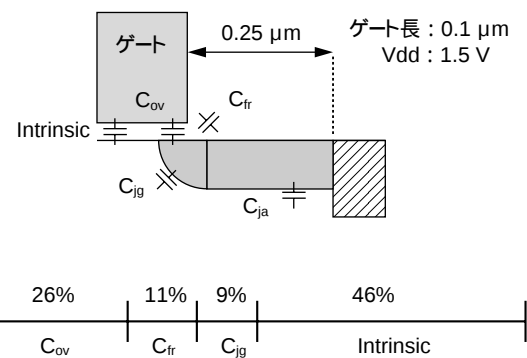
Fig.8-Propagation delay time for unloaded inverter ring oscillator with 0.13 μm and 0.1 μm gate length.


図-9 ゲート遅延時間の要素解析結果

Fig.9-Delay time classification of 0.1 μm CMOS devices.

板表面にチャネル濃度のピークを形成すること(SCC : Surface Concentrated Channel)が低電圧動作のサブ0.1 μm 世代では必要である。図-1にはその概念も示した。図-7は従来構造のトランジスタと、TCIとSCCを導入したトランジスタのしきい値とS値のゲート長依存である。低電圧で必要とされる低しきい値、短チャネル効果抑制、S値低減が実現できている。また、接合容量は従来チャネルと比べて16%低減できた。

回路性能

前述した低しきい値化、短チャネル効果抑制、低抵抗化、低容量化の技術を取り入れて、回路性能の評価を行った。図-8はインバータからなるリング発振器を試作してゲート遅延時間の電源電圧依存を評価した結果である。ゲート長を0.1 μm にシュリンクすることで11 psの高速性能が電源電圧1.5 Vで得られた。この速度はこれまでに報告されたSOIデバイスを含む微細CMOSの中でもトップレベルの性能である。図-9にはこのゲート遅延時間の内訳を容量について解析した結果も示した。これからゲート容量の感度がまだ大きいことが分かり、さらにゲートの微細化を行えばいっそうの高性能化が実現でき

ることが予想される。

む す び

ゲート長0.1 μm , およびそれ以下での低電圧, 高速動作のための課題と, 著者らが検討を続けているデバイス設計指針とその具体的実験結果について述べた。回路動作の評価から, サブ0.1 μm にゲートを微細化していくことで, CMOSゲートレベルではさらに高性能な特性が得られることを示した。このテクノロジーにCu配線と低誘電率層間膜を組み合わせることで, システムレベルでの高性能, 低消費電力化が可能と予想される。

参考文献

- (1) National Technology Road map for Semiconductor, 1997 Edition(SIA)
- (2) Y. Momiyama et al.: Channel Engineering of 0.13 μm nMOSFET for 1.0 V CMOS Using Gate Poly-Si Oxidation and Laterally Profiled, Surface Concentrated Channel Technologies. Digest Tech. Papers Symp. VLSI Tech., p.78 (1998)
- (3) K. Goto et al.: A Study of Ultra Shallow Junction and Tilted Channel Implantation for High Performance 0.1 μm pMOSFETs. Tech. Digest IEDM, p.631(1998)
- (4) Y. Momiyama et al.: Ultra-Thin Ta₂O₅/SiO₂ Gate Insulator with TiN Gate Technology for 0.1 μm MOSFETs. Digest Tech. Papers Symp. VLSI Tech., p.135(1997)
- (5) K. Goto et al.: Leakage Mechanism and Optimized Conditions of Co Salicide Process for Deep-Submicron CMOS Devices. Tech. Digest IEDM, p.449(1995)
- (6) K. Goto et al.: A High Performance 50 nm PMOSFET using Decaborane(B₁₀H₁₄) Ion Implantation and 2-step Activation Annealing Process. Tech. Digest IEDM, p.471(1997)

