

次世代 CMOS ロジック LSI プロセス モジュール技術

Process Module Technologies for Next Generation CMOS Logic LSIs

あらまし

次世代(Post Quarter-Micron)CMOS ロジック LSI のためのプロセスモジュール技術について紹介する。現在 , ロジック LSI は , 消費電力の削減と配線遅延時間の改善という二つの大きな課題に直面している。プロセスモジュール技術の観点からは , 消費電力の低減にはレトログレードウェル技術 , デュアルゲート技術による低閾値電圧化 , Co-サリサイド技術 , 浅いトレンチ素子分離技術等の採用が効果的であり , 配線遅延時間の改善には低抵抗配線材料 , 低誘電率絶縁膜の採用が有効である。しかし , これらの問題は本来プロセスモジュール技術のみで解決が図れる性質のものではなく , 設計面からの対応策も必須である。とくに , 配線遅延の把握に関しては従来の設計レベルでは対応できなくなりつつあり , 設計コンセプトを含む発想の転換が必須である。

Abstract

This paper describes key process module technologies for post quarter-micron generation CMOS logic LSIs.

High-performance logic LSIs are now facing the problems caused by increased power consumption and the interconnect barrier of LSI wiring.

To achieve a lower power operation , we have developed a retrograde well structure , a dual-gate Co-salicide process with reduced threshold voltage , and a shallow trench isolation technology. Also , low-resistance wiring and materials with a lower dielectric constant are suitable for reducing the interconnect barrier. However , to tackle these two problems more effectively , a new design methodology should be developed. Especially , the interconnect barrier problem requires a paradigm shift in our approach to system and circuit design.



後藤広志 (ごとう ひろし)

1979年東京大学工学部物理工学科卒。
同年富士通入社。以来半導体デバイス・TCAD 技術開発に従事。IEEE Senior Member。
LSI 製造事業本部デバイス開発部

ま え が き

CMOS技術は、近年の目覚ましい微細加工技術の進展の恩恵を享受して、今やロジックLSIの世界では大規模集積デバイスのみならず、高速デバイスの分野においても主流の座を占めるに至った。そして、その流れの帰結として、従来別々のLSIや電子部品によりプリント基板上に構成されていたシステム全体が1チップのLSIに収まるのではないかと期待されているのが、本特集のテーマであるシステムLSIである。しかし、システムが1チップで構成されるという意味では、早くからシステムLSIの概念を先取りしていた技術がある。それは、パソコンになくはならない心臓部のマイクロプロセッサである。マイクロプロセッサは、かつて莫大な部品点数を要した大型汎用コンピュータの中央演算処理装置(CPU)を1チップで実現したものと言ってよい。したがって、システムLSIに要求される技術課題というものは、すべてマイクロプロセッサの歴史の中に包含されているとの見方ができる。このような観点に立てば、システムLSIを実現する技術とは、高性能、多機能のマイクロプロセッサを実現するためのロジックLSI技術ということになり、プロセスモジュール技術と言えどもその例外ではなくなる。

1チップに1,000万個以上のトランジスタを集積し、しかも動作周波数は500 MHzを超える性能が報告され始めているのが昨今の最先端マイクロプロセッサの現状である。このようなレベルに至るとCMOS技術を使用していると言えども消費電力は数十Wを超えるようになり、消費電力の低減が緊急の課題になる。CMOS回路は、NチャネルMOSトランジスタとPチャネルMOSトランジスタをそれぞれのゲート同士、ドレイン同士を接続して相補的に動作させるので、電流は原理的にトランジスタのオンオフが入れ代わるときに過渡的に流れるだけである。したがって、動作周波数が低いときは動作頻度も少ないため、ほとんど電力を消費しないというのが特色である。つまり、消費電力の面からCMOS回路は大規模集積化に最も適しており、それ故にLSI技術の主流となり得たのである。だが、集積される素子の数が増大し、しかも動作周波数も高くなってくるとチップとしての消費電力は許容限度を超えてくる。さらに、消費電力を削減する必要性に迫られている背景には、モバイルコンピューティングの普及がある。携帯機器では電池寿命をいかに延ばすかというのが最大の課題であり、その意味でも消費電力の削減は必須の課題である。

消費電力の問題と並ぶもう一つの大きな課題は、配線

に代表される負荷容量の充放電遅延時間がゲート自体のスイッチング時間よりも支配的になりつつあることである。1990年代前半までは、基本ゲートを構成するトランジスタそのものがオンオフする充放電時間が長く、微細加工技術でトランジスタを小さくすることにより寄生容量を減らしてその遅延時間を削減するというのが、高速化を図る最も手取り早い方法であった。ところが、今や0.25 μm 世代のトランジスタともなると基本ゲートそのものの遅延時間は40 ps以下となり、配線等の負荷遅延の方が大きくなりつつある。微細加工技術の進歩によりトランジスタは縮小され、性能が良くなって基本ゲートの遅延時間は改善されるが、配線負荷に限っては時定数そのものが小さくならないので問題は厄介である。

これらの課題を解決するには単にプロセスモジュール技術面のみならず、設計面での対応も極めて重要であるが、本稿では富士通における次世代(Post Quarter-Micron) CMOSロジックLSIのためのプロセスモジュール技術に的を絞って解決策を紹介する。

プロセスモジュール技術

CMOS回路の消費電力は動作電圧の二乗に比例するため、低消費電力化でまずデバイスに求められるのは低電圧動作である。しかし、動作電圧を単純に下げると飽和ドレイン電流値も低下し、トランジスタの性能が落ちることになりLSIとしての性能に支障をきたす。そこで、性能を落とさずにいかに動作電圧を下げるかということがポイントになる。理論的な根拠は省略するが、最近の0.25 μm 以下の微細トランジスタに関して言えば、電源電圧の縮小比に見合ってトランジスタのサイズを縮めてやれば、少なくとも飽和ドレイン電流値を一定に保つことが可能となる。ただし、動作電圧の低下に伴い閾値電圧も下げることが要求されるため、まず、低閾値電圧を安定して実現できるプロセスモジュール技術が必要となる。そして、低電圧での性能確保のために、ゲート長およびゲート酸化膜厚の縮小に耐え得るプロセスモジュール技術も必要となる。さらに、寄生抵抗や寄生容量を削減して余分な充放電遅延が生じないデバイス構造が要求される。これらの要求を満たすプロセスモジュール技術の解をまとめると次のようになる。

- (1) 表面付近は不純物濃度が低く、基板の深さ方向に濃度が増大して行くレトログレドウェル技術
- (2) NMOSトランジスタにはN型ポリシリコンゲート、PMOSトランジスタにはP型ポリシリコンゲートを採用するデュアルゲート技術

(3) ソース・ドレイン・ゲートの表面を低抵抗化するためのCo-サリサイド技術

(4) 接合容量を削減しゲート電極微細加工マージンを改善するための浅いトレンチ素子分離技術

まずレトログレードウェル技術を採用することにより、ラッチアップを避けるための低抵抗領域を基板内部に設けると同時に、それとは独立した表面付近での閾値電圧制御を目的とする不純物濃度コントロールが可能となる。また、ウェルそのものの深さも浅くすることが可能となるため横方向への広がりも抑制され、集積度の向上という面でも好ましい。つぎにデュアルゲート技術は、微細ゲート長トランジスタで問題となる短チャネル効果を抑制しつつ低い閾値電圧をNMOSとPMOSで絶対値をそろえながら実現できるので、低電圧動作時には必須の技術である。さらにCo-サリサイド技術では、ゲート電極側部のみに絶縁膜を残してゲート・ソース・ドレインのシリコン面を露出し、Coを選択的に反応させてCoSi₂を表面に形成する。その結果、マスク工程なしで低抵抗電極が拡散層上に形成され、寄生抵抗の削減に大きく寄与する。シリサイドを形成する金属としては、Coが最適である。Co以外ではTiがよく用いられるが、Tiの場合、ゲート長が0.25 μm以下になってくると低抵抗になる結晶相を安定して形成することが困難になり、プロセス的な工夫が必要になってくる。Coの場合そのような必要はなく、0.1 μmクラスでも十分低い抵抗率のシリサイド層が形成可能である。最後の浅いトレンチ素子分離技術では、基板に浅い溝を掘り、酸化膜等の絶縁膜で埋め戻して平坦な素子分離領域を形成する。その結果、接合容量

の削減、または光の波長以下での微細パターン形成に際したりソグラフィプロセスのマージン確保に有効となる。

以上の基本プロセスモジュール技術に加えて、オプションとしてローカル配線技術がある。これは、電流密度の低いごく近距離間の配線を極薄のメタルで形成する技術である。膜厚が薄いため微細加工が容易でリソグラフィ技術の限界に近いパターンを形成できることからSRAMのクロスカップル部等高密度配線を実現するのに適している。これらのプロセスモジュール技術を駆使したデバイスの断面を図-1に示す。レトログレードウェル、デュアルゲートCo-サリサイド構造、浅いトレンチ素子分離構造、ローカル配線等に加え、ローカル配線コンタクトと一層目配線コンタクトを共存させるためのスタックコンタクト構造も表示してある。スタックコンタクト技術では、タングステンで埋め込まれたプラグコンタクトを二度に分けて形成することになるが、コンタクト抵抗値は一度で形成したプラグコンタクトの場合と変わらない結果が得られている。⁽¹⁾

内蔵 SRAM の特性

ロジックLSI、とくにマイクロプロセッサのように複雑な論理演算をこなす論理回路は一次記憶機能が内部に一体化されており、その意味でロジックLSIはSRAMを混載させることが必須の要件となっている。しかもその集積規模とアクセス時間はマイクロプロセッサの処理性能に大きな影響を与えるため高密度で高速のSRAMが要求される。その上で低消費電力化という流れは共通である。つまり、前述したロジック向けのプロセスモジュール技

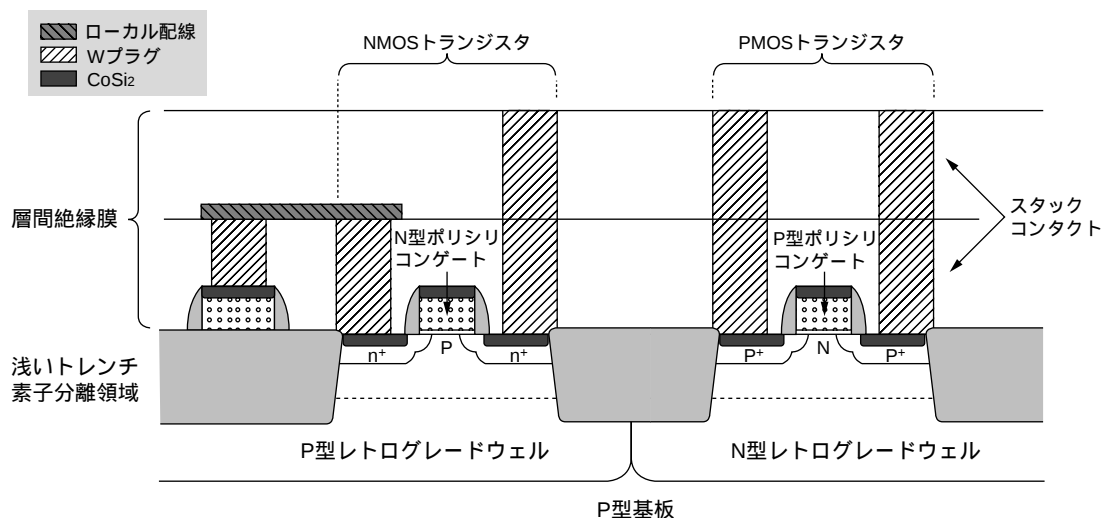


図-1 コンタクトプラグの形成まで終了したCMOSデバイスの断面図
Fig.1-Cross-sectional structure of CMOS device after contact plug formation.

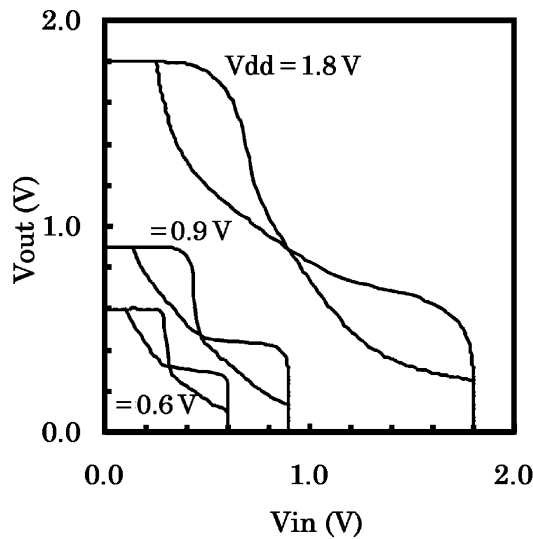


図-2 SRAMセルの直流伝達特性
Fig.2-DC characteristics of SRAM cell.

術そのものでSRAMも実現する必要がある。図-2に示すのは、図-1に示したプロセスモジュール技術を利用して作製したSRAMセルの直流伝達特性である。微細加工技術としてはKrFエキシマレーザリソグラフィ(露光波長: 248 nm)技術の性能を最大限に引き出して、ゲート長やローカル配線幅等重要なパターンの加工寸法には0.2 μm ルールを適用した。セルサイズとしては4平方 μm 強を実現しており、0.25 μm 世代のセルサイズ(9.9平方 μm)の半分以下を実現した。⁽²⁾ また、動作電圧が1.8 Vから0.6 Vまでセル動作の安定性を示すノイズマージンが充分確保されており、高速動作、低消費電力動作双方の面から申し分のないことが理解できる。

配線負荷遅延対策

配線負荷遅延を律速する時定数は、配線抵抗と配線容量の積で表される。微細加工技術の進歩に従って配線系も世代が進むと一定の比率で縮小されるが、この時完全に比例縮小してしまうと、配線抵抗は縮小比率に反比例、配線容量は縮小比率に比例するため、積は不変ということになる。この時定数を小さくするには、配線材料の抵抗率を下げるか、配線間の絶縁膜の誘電率を下げるかどちらかをとらざるを得ない。つまり、新材料を導入することになるのであるが、抵抗率や誘電率は世代ごとに継続して低下させていけるものではない。次世代か次次世代には壁にぶつかることが予想される。このような状況を打開していくには、本稿のテーマではないが、設計面からのブレークスルーがどうしても不可避である。

配線遅延を正確に把握してタイミングのずれない設計技術が求められる。動作周波数が1 GHzのレベルに達すると、マシンサイクルは1 nsである。配線遅延の見積もりに100 psの誤差しかなくても、100 MHzの動作誤差になる。あるいは、同期式の設計思想では、タイミング不良で動作しないかもしれない。単に論理設計だけが正しくても動作しないわけで、設計技術は、プロセスのパラツキを正確に把握しそれを吸収する非同期方式のアーキテクチャの採用など新しい試みを取り込んでいく必要がある。また、プロセスモジュール技術は、加工寸法のパラツキのみならず、メタルや絶縁膜の膜厚、誘電率のような物性定数値のパラツキも正確に把握し、かつコントロールすることが要求される。現在は、プロセスモジュール設計がレイアウト設計にリンクしつつあるという意味で、論理設計よりも物理設計へ重要性が移りつつある過渡期であり、設計コンセプトのパラダイムシフトに直面していることを認識すべきである。

む す び

本稿では、次世代(Post Quarter-Micron)CMOSロジックLSIのためのプロセスモジュール技術について紹介した。現在、ロジックLSIは、消費電力の削減と配線遅延時間の改善という二つの大きな課題に直面している。これらの問題に対して、プロセスモジュール技術の観点からは、レトログレードウェル技術、デュアルゲート技術による低閾値電圧化、Co-サリサイド技術、浅いトレンチ素子分離技術等が消費電力の低減に効果的であり、低抵抗配線材料、低誘電率絶縁膜の採用が配線遅延時間の改善に有効である。

しかし、これらの問題は本来プロセスモジュール技術のみで解決が図れる性質のものではなく、設計面からの対応策も必須である。とくに、配線遅延の把握に関しては従来の設計レベルでは対応できなくなりつつあり、設計コンセプトを含む発想の転換が必須であることを強調しておきたい。

参考文献

- (1) Y. Takao et al. : A 4- μm^2 Full-CMOS SRAM Cell Technology for 0.2- μm High Performance Logic LSI's. Technical Digest of Symposium on VLSI Technology 1997, pp.11-12.
- (2) T. Izawa et al. : A Novel Embedded SRAM Technology with 10- μm^2 Full CMOS Cells for 0.25- μm Logic Devices. Technical Digest of International Electron Devices Meeting 1994, pp.941-943.