

低消費電力技術

Low-Power Technology

あらまし

システムLSI低消費電力化技術として進めている，トランジスタのしきい値を2種類使うDUAL VTH方式をベースにしたデバイスと回路技術からの低電力化アプローチを紹介する。本アプローチにより，従来のテクノロジー・ロードマップのほかに低電力化ロードマップが可能になることを示した。従来のテクノロジーに比較して，半分の速度で動作させてよい場合には，電力はほぼ一桁低下させることができる。また，同一速度性能なら約6割の電力で達成できる。このテクノロジーをベースにして，システムLSIを構成する基本マクロである積和器やSRAMを低電力化した手法を説明するとともに，これらのマクロ技術と並列化アーキテクチャを応用して音声コーデック用DSPコアの消費電力を1/5にした技術を紹介する。

Abstract

This paper presents a Dual-Vth CMOS circuit scheme which reduces the power consumption of system LSI by using high threshold-voltage and low threshold-voltage transistors. A low-power technology road-map utilizing our device and circuit design methodology enables lower power consumption than the standard technology road-map. At half-speed performance, our new road-map reduces power consumption to about 10% that of LSI fabricated using conventional technology, and the reduction achieved at same-speed performance is to about 60%.

This article describes a low-power design methodology applied to an accumulator/multiplier and an SRAM, which are essential macros for system LSIs. By using these low-power macros and a parallel architecture, we can produce a DSP core for an audio CODEC that has only 20% the power consumption of the standard technology equivalent.



川嶋将一郎
(かわしま しゅういちろう)
1982年東京大学工学部物理工学科卒。同年富士通入社。以来64 K ~ 16 MのCMOS SRAMの設計開発に従事。1994年(株)富士通研究所に出向。現在低消費電力メモリの研究開発に従事。システムLSI開発研究所LSIテクノロジー研究部



福士 功(ふくし いさお)
1982年東北大学工学部応用物理学科卒。同年富士通入社。以来スーパーコンピュータ用高速メモリおよび低消費電力LSIの開発設計に従事。1994年(株)富士通研究所に出向。システムLSI開発研究所LSIテクノロジー研究部



井上淳樹(いのうえ あつき)
1988年東京大学工学系研究科博士課程了。同年(株)富士通研究所入社。以来超伝導集積回路の研究，CMOS高速回路，および低消費電力回路技術の開発に従事。システムLSI開発研究所LSIテクノロジー研究部

ま え が き

デバイスの微細化の進歩により、システム・オン・シリコン化が進展している。単位面積あたりに搭載される素子数が3年に4倍の割合で増大し、またハイエンド向けのシステムLSIでは、動作クロック周波数も2年に2倍の勢いで高速化している。このような、技術トレンドが進行すると、チップあたりの消費電力も3年に4倍のペースで上昇してしまう。

ユーザの立場からは、例えば携帯機器においては、バッテリーの長寿命化や軽量化の観点から、できるだけLSIの消費電力を低下させたい。一方、携帯機器以外においても、実装コストの観点から、低電力化が必要となっている。さらに、地球環境問題や資源対策からも、米国のエネルギースター計画に見られるように電子機器の消費電力削減が政策として取り上げられる機運にある。

このように、素子微細化からの帰結としての高集積化と高速化による消費電力増大と、ユーザや環境の観点からの低電力化要求という相反する要求に対して、技術的解答を用意していかなければならない。

富士通では、システムLSI低電力化に対して、アーキテクチャレベル、回路やデバイスのテクノロジーレベル、電力評価CADを中心とした設計手法等の観点から取り組み、携帯機器を始めとして、すでに実用化に実績を持っている。

本稿では、著者らが開発した、主としてテクノロジーレベルからの低電力化技術を紹介する。^{(1), (2)}

システムLSIと消費電力

システムLSIは、素子微細化により3年前に開発されたマクロが、現在はチップの1/4の面積に収容され、他のマクロとともにシステム・オン・チップを構成している。クロック周波数も2年で2倍と高速化される。高密度化と高速化により、ハイエンドシステム用システムLSIでは、図-1に示すように、消費電力もほぼ3年で4倍の増大を示す。LSIの消費電力が1 Wを超えると安価なプラスチックパッケージの代わりに、高価なセラミックパッケージが必要となり、さらに10 Wを超えると強制空冷が、30 Wを超えると特別な実装技術が必要とされ、コストアップを招く。この観点から、ハイエンドの大規模で高速なシステムLSIでは、低電力化が必須となる。

音声コーデック用DSP等の携帯機器向けシステムLSIでは、逆にバッテリー寿命の延長やバッテリーの小型化・軽量化要求により、LSIの消費電力は時代とともに減少させる

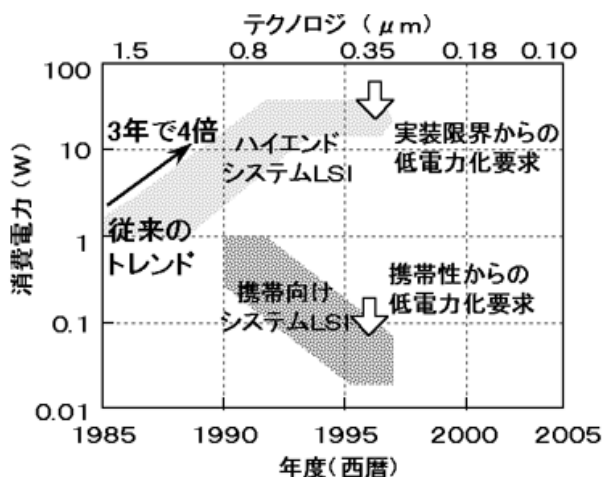


図-1 LSIの消費電力の動向
Fig.1-Trend of LSI power consumption.

努力がなされている。このときの目標消費電力の目安は100 mW以下である。携帯電話等の小型化・軽量化要求や無充電待ち受け時間の延伸等、LSIの消費電力が製品の差別化に直接的に反映するため、低電力化は極めて重要な技術開発課題となる。

低電力化へのアプローチ

現在実用化されている、あるいはこれから試みられようとしている種々のアプローチを表-1に示す。システムLSIの低電力化には、個々のシステムに応じた主としてアーキテクチャの工夫と、LSI全般に適用されるテクノロジーを中心とする一般的なアプローチの組合せが必要となる。

アーキテクチャからのアプローチの主要なものは、演算器の並列化やパイプライン化である。個々の演算器や、演算パイプに要求される速度性能を抑制するのが狙いである。こうすることによって、結果的には電源電圧を低下させることができ、ひいては、同一性能を維持しながら回路の低電力化を図ることができる。さらに上位の工夫としては、一定のアルゴリズムを実現する際に発行する命令の順番や組合せを、低電力化を目指して最適化することがDSP等の専用プロセッサで行われている。このようなアーキテクチャレベルでの低電力化には電力評価ツールが重要である。

テクノロジーからのアプローチの最重要なものは、動作電圧の低減である。これは、CMOSの動作時の消費電力が動作周波数を同じとした場合、電源電圧の2乗に比例するからである。次章では、この電源電圧低減に関連して開発した、デバイステクノロジーや回路技術について述べる。

また、パス・トランジスタロジック等の素子数や素子サイズ縮小が図れる回路方式では、回路の平均負荷容量

表-1 消費電力の低減手法

CL(負荷容量)	Vs, Vdd(電圧)	f(周波数)
● 微細化 ● Pass Tr. Logic ● DPL, CPLなど ● Tr. Size最適化 ● ダイナミック回路	● 低電源電圧技術 ● 低しきい値プロセス ● Dual VTH回路 ● VT-CMOS技術 ● 低振幅回路技術 ● チャージリサイクリング ● 1/2スイングクロック ● センサンプ論理 ● 電源電圧最適化	● クロック制御 ● Gated Clock ● グリッチ抑制 ● Glitch Cancel ● アーキテクチャ ● 並列化 ● パイプライン化 ● 非同期回路技術

(注) 消費電力 $P = N \cdot \alpha \cdot C_L \cdot V_S \cdot V_{dd} \cdot f$
 α : スイッチング確率
 N : ゲート規模

を削減して、低電力化に効果がある。乗算累積器等の演算マクロでは、多段の演算結果を集計するため、データ確定までに数多くの不要なスイッチングを繰り返してしまう。また、ノイズによっても不要なスイッチングを起こして電力消費の増大を引き起こしてしまう。これを防止するグリッチキャンセラ回路等、低電圧化以外の回路技術についても次章で紹介する。

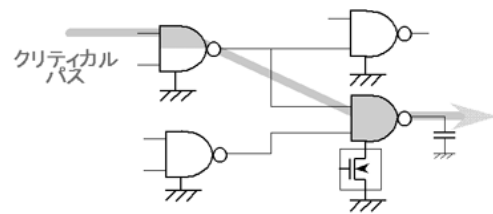
テクノロジーからの低電力化

● 低電圧化デバイステクノロジー

電源電圧を低下させると、回路のスイッチング速度が低下する。したがって、速度劣化を防ぎながら、電源電圧を低下させる工夫が必要である。ここでは、DUAL VTHデバイステクノロジーを提案する。すなわち、速度のクリティカルな箇所では、トランジスタのしきい値をリーク電流が許容できる範囲でできるだけ低下させて、トランジスタの駆動力を増大させて高速化する。一方、スタンバイ時にできるだけリーク電流を抑えておきたい場所には、通常のトランジスタしきい値を使う(図-2)。このように、待機時のリーク電流削減重視の部位と、速度重視の部位とでトランジスタのしきい値を2種類使い分けていくやり方をDUAL VTHテクノロジーと呼んでいる。

低VTHを可能にするには、とくにP型MOSトランジスタで工夫が必要である。しきい値が低くなると、ゲート電圧を0Vとした場合にもきちんと電流をOFFしにくくなる。このためトランジスタ設計法やトランジスタを構成する材料の工夫を行った。

このようにして開発した、低電力版テクノロジーの回路性能と通常テクノロジーの回路性能とを図-3で比較する。低電力版で構成した論理回路では、0.35 μm テクノロジーの結果を比較すると、半分の速度で動作させてよい場合には、電力はほぼ一桁低下させることができる。次節でのマクロへの応用で述べるように、同一速度を要求する場合には、約6割まで消費電力を低下させることができる。



- 高速トランジスタ (低VTH): 低電圧での高駆動力化
- 低リークトランジスタ (高VTH): 待機時のリーク電流抑制

図-2 Dual VTH回路方式
 Fig.2-Dual VTH circuit scheme.

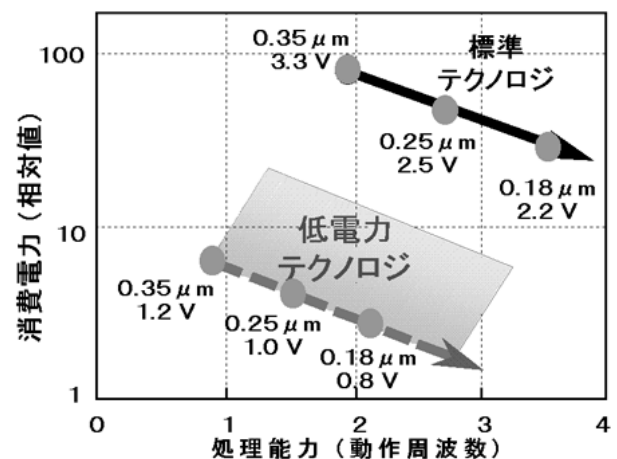


図-3 低消費電力テクノロジーと標準テクノロジーの性能比較
 Fig.3-Comparison of low-power and conventional technologies.

このような低電力テクノロジーを部分的に使い分けていくことになる。携帯機器向けLSIのように待機時間が長い場合には、必ず通常のテクノロジーの回路を適宜混載させる必要がある。メモリにおいても、SRAMやROMは基本的に待機型のシステムであり、チップの特定の部分のみ動作しているので、同様のアプローチが可能である。メモリセル部は特にリーク電流を減らす必要があり、通常の高いしきい値のトランジスタを使う。周辺回路では、論理回路と同様に2種類のしきい値のトランジスタを使い分ける。

● 低電力マクロへの応用

【DUAL VTHテクノロジーによる積和器の低電圧・低電力化】

メディア処理プロセッサ、グラフィックチップ、DSP等の基本演算マクロである積和器にDUAL VTHテクノロジーを応用した結果を述べる。16ビット固定少数点のシステムで従来テクノロジーの1/5の低電力化を達成した(図-4)。ただし、演算時間は2倍となっているため、アプリケーションによっては従来と同等の処理能力を得るために並列化アーキテクチャ等との併用が必要である。また、同一演算時間を要求する場合でも、約6割まで消費電力を低

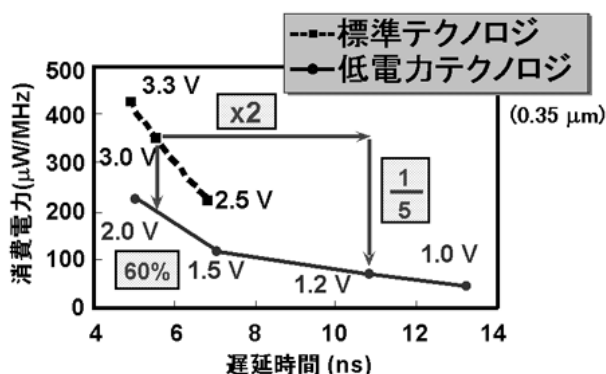


図-4 16ビット積和器の低消費電力化
Fig.4-Power reduction of 16-bit multiplier/accumulator.

下させることができる。

【DUAL VTHテクノロジーによるSRAMの低電圧・低電力化】

同様にシステムLSIの基本要素であるSRAMの低電圧化・低電力化の結果を述べる。低電圧化すると、セルからの読み出し電流が減少して、高速性が失われる。この点を解決するために、低電圧高速動作可能なセンスアンプを開発した。また、ワード線分割による負荷容量削減、バスの同時スイッチングを防いで1本のみ動作させるようにしたエンコードバス方式等の開発により、速度の低下を抑えながら、消費電力を従来の1/6まで削減できた。

【その他の低電力化回路技術】

低電圧化以外にも、重要となる低電力化技術に不要スイッチングの削減がある。積和器等の論理マクロにおいては、終段のデータ確定までに時間がかかり、この間不要なスイッチングを繰り返すことになり、電力を消費してしまう。また、ノイズの影響によっても、不要なスイッチングが発生してしまう。これらの不要スイッチングは、通常の論理動作に必要な時間間隔より狭いパルス幅で引き起こされることに着目し、一定のパルス幅以下のパルスが通過しないようにする、グリッチキャンセラ回路を考案した。これを16ビット積和器に応用した場合の結果を図-5に示す。この回路を搭載する前と比較して、約2割の消費電力削減が図られた。

【携帯電話用音声コーデックDSPコアへの適用例】

これまで述べてきた低電圧化テクノロジーを携帯電話用音声コーデックDSPコアに適用した。携帯電話の消費電力の約半分をDSPが消費しており、この低電力化は重要である。

DUAL VTHテクノロジー、低電圧低電力SRAM、低電圧低電力積和器(MAC)等のマクロ技術、および積和器を並列化するアーキの採用により、従来と同等性能を約1/5の消費電力で達成できている(図-6)。

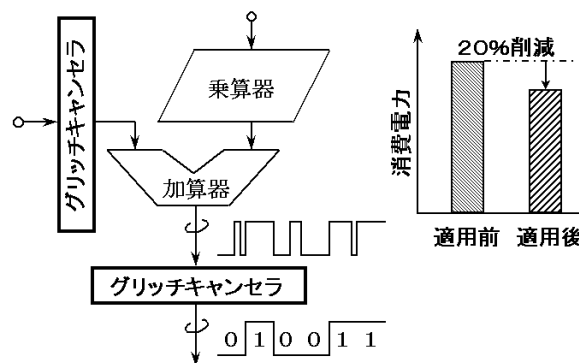


図-5 グリッチキャンセラの積和器への適用
Fig.5-Glitch cancellers implemented in multiplier/accumulator.

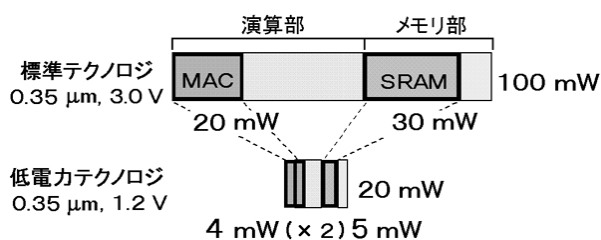


図-6 PDC向けDSPでの低電力化トライアル
Fig.6-Power reduction result of DSP for PDC application.

む す び

システムLSIの低電力化においては、各システムLSI毎にアーキテクチャレベルからアプローチする個別対応のほかに、一般的に低電力化できるテクノロジーからのアプローチも重要である。ここでは、著者らが研究開発を行っている、DUAL VTHをベースにしたデバイス回路技術テクノロジーからの低電圧化による電力削減のアプローチについて述べた。

この方法により、速度性能の劣化を回復しながら、低電力化を図ることができる。DUAL VTH化による低電圧化のほかに、システムLSIのキーコンポーネントである積和器では、バス・トランジスタやグリッチキャンセラによる低電力化の重要性を実証した。また、同様に重要なコンポーネントであるSRAMでは、DUAL VTHテクノロジーのほかに、低電圧高速動作可能なセンスアンプ、容量削減や同時スイッチングを削減する工夫などにより低電力化を達成した。

これらの低電力化マクロを用い、音声コーデック用DSPコアの消費電力を従来の速度性能を維持しながら1/5に低下させることができた。

今後は、本論文で紹介したテクノロジーからの低電力化アプローチが、システムLSI全般に短TAT(Turn Around Time)で適用されるべく、設計環境の整備を進めていく。

さらに先の技術として、飛躍的な低電力化が期待される技術の研究開発を進める。この候補は、表-1にリストした、低電力化の極限にある技術とされる断熱充電論理や、従来の同期式設計に代わってクロックを使わず非同期に回路を動作させて低電力化を図る非同期システムの世界である。

参考文献

- (1) - : 低消費電力LSIの技術白書. 日経マイクロデバイス編, 日経BP社, 1994 .
- (2) 榎本: マルチメディアに向けたLSIの低消費電力化技術. 電子情報通信学会誌, 79, 3, pp.296-306(1996) .

