

携帯電話用 LSI

LSI for Cellular Telephones

あらまし

携帯電話は、その携帯性が必須条件になっていることから、その中核の部品である LSI に求められる小型軽量化への期待は、非常に大きなものとなってきている。

本稿では、小型軽量化携帯電話機を実現するための主要技術であるシステム LSI について述べる。

小型軽量化実現のために要求される LSI の役割は、チップ統合によるチップ数の削減と消費電力の削減である。

今回開発したベースバンド部のシステム LSI では、最先端の微細プロセスを使用したデジタル・アナログ混載テクノロジーを採用することにより、従来 5 チップで構成していたベースバンド部を 2 チップに統合し、かつ大幅な消費電力の低減を実現することで、携帯電話機の小型軽量化に貢献することができた。

Abstract

Reductions in size and weight and the consequent increase in portability are key reasons for the current popularity of portable cellular telephones. These improvements have mainly been achieved through advanced LSI technology.

The main role for LSI is to decrease chip numbers by integration and to reduce power consumption. Fujitsu has reduced its baseband chipset from five chips to just two using advanced mixed technology. Also, the power consumption of the chipset has been drastically reduced using fine process technology. The new chipset will have a big impact on the size and weight of cellular phones. This paper describes the unique technologies used in the new chipset.



姉齒伸彦（あねは のぶひこ）

1982年山形大学工学部電子工学科卒。
同年富士通入社。以来特に通信向け
のデジタル・アナログ混載 LSI の開
発に従事。
第二システム LSI 事業部設計部

ま え が き

携帯電話は、その携帯性がもたらす利便性のため、非常に高い普及率を見せている。携帯電話市場の立ち上がり時期においてはアナログ方式が主流だったが、電波の有効利用の面と通話時間・待受時間の長時間化の面から、デジタル方式へと急速に移行してきた。時を同じくして、従来のレンタル方式から売切り方式へと携帯電話機の供給形態が変わり、市場原理による低価格化の推進や、低消費電力化などで小型化が急速に進んだことにより、消費者の爆発的な支持を得るに至ったことが普及率の高さの理由である。この小型化・低価格化・低消費電力化の実現のために、大きな役割を果たしているのがLSIである。

今後は携帯端末も含めてデータ通信の用途への展開も期待されており、小型化・軽量化をより一層向上させた機器が望まれている。このニーズに対応するために、主要部品であるLSIの小型化・多機能化の実現はますます重要な意味を持ってきており、いわゆるシステムLSIが必須の技術となってきた。⁽¹⁾

本稿では、小型軽量携帯電話機用システムLSIを実現するための主要技術について述べる。

携帯電話機におけるシステム LSI の流れ

1995年に、先端テクノロジーと新アーキテクチャを導入することによりチップ統合・低消費電力化を進めた結果、ベースバンド部の主要機能を5チップで実現することにより、重量160 gの携帯電話機の開発に寄与することができた。その後も100 gを切る機種が開発されるなど小型化の流れは止まるところを知らず、この要求に応えるためLSIとしても一層の小型化を図る必要が出てきた。そこで、最先端デジタル・アナログ混載テクノロジーを導入し一層のチップ統合を図り、微細プロセスの導入による更なる低消費電力化を実現した結果、ベースバンド部の主要機能を2チップで構成することが実現し、1997年、83 gの世界最軽量デジタル携帯電話機の開発の一翼を担うことができた。

携帯電話機の中核を構成するベースバンド部のLSI統合の流れを図-1に示す。また、新規開発のLSIを搭載した携帯電話機の外観を図-2に示す。

- 従来のベースバンドLSI構成

従来のベースバンドの主要部は、AIU(14ビットスイッチドキャパシタ型音声PCM-CODEC + オーディオ用アンプ)、MODEM(変調器 + 復調器 + 周波数制御 + 出力電力

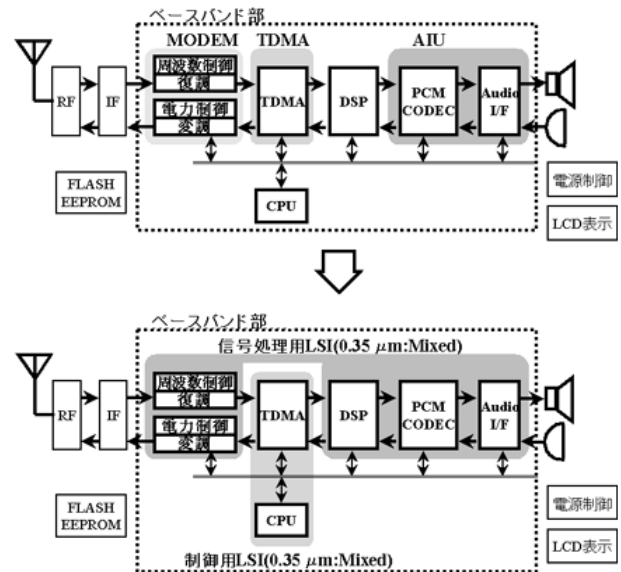


図-1 LSI統合化の流れ
Fig.1-LSI integration.



図-2 携帯電話機
Fig.2-Portable cellular telephones.

制御)、DSP(フルレート・ハーフレート音声符号化・復号化)、CPU(16ビット)、TDMA(時分割プロトコル制御回路)の5チップで構成されていた。

- 新規開発のベースバンドLSI構成

AIU(16ビットΣΔ型PCM-CODEC)、MODEM、DSPを1チップに統合した信号処理用LSI(図-3)と、CPUとTDMAを1チップに統合した制御用LSI(図-4)を開発し、二つのチップでベースバンド部の主要機能を実現することができた。これら二つのLSIは、当時富士通の最先端プロセステクノロジーである0.35 μmプロセスを採用することで、

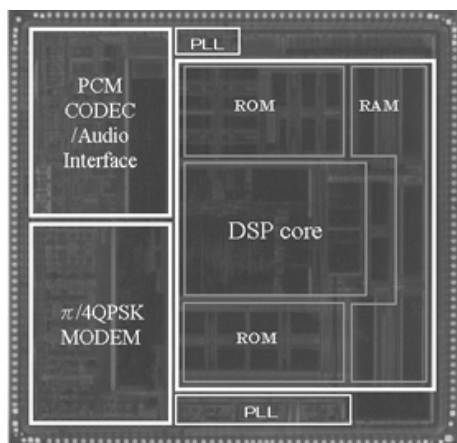


図-3 信号処理用LSI
Fig.3-Data processor LSI.

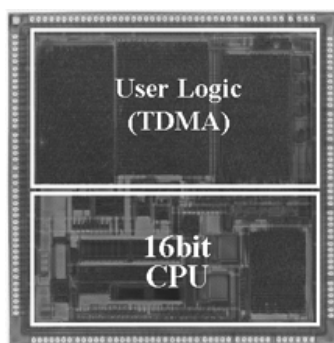


図-4 制御用LSI
Fig.4-Controller LSI.

チップ面積を従来の1/3以下に小型化するとともに、低消費電力化も実現した。

信号処理用LSIは、基本アナログセル設計の段階から通信部門と半導体部門の間で共同開発を行い、とくにAIU部については、スイッチドキャパシタ型から $\Sigma\Delta$ 型に方式を変更することにより、高精度が要求されるAD/DAコンバータの特性を確保した。

システム LSI の主要技術

● トリプルウェル構造

デジタル部(DSP)とアナログ部(AIU, MODEM)を1チップに搭載することにより、デジタル部からアナログ部へのノイズ干渉が懸念されるが、これを解消する手段としてトリプルウェル構造のプロセスを採用した(図-5)。

デジタル・アナログ混載LSIにおけるアナログ部のノイズの主因は、デジタル部の頻繁なスイッチング動作により発生するノイズ成分が基板を経由してアナログ部に伝播されることによる。

従来構造においては、デジタル部とアナログ部で基板が共通となっていたため、デジタル部で発生したノ

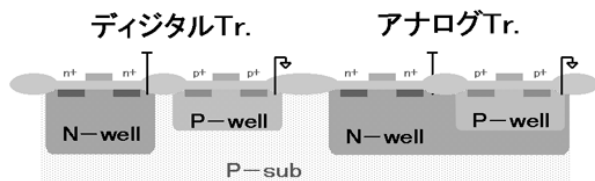


図-5 トリプルウェル構造断面図
Fig.5-Cross section of triple-well process.

イズが基板を経由してアナログ部に伝達されてしまい、誤動作あるいは特性不良の原因となっていた。

今回のトリプルウェル構造の採用により、アナログ素子を電氣的に分離された個別のウェルの島に形成することが可能となるため、高速・大規模なデジタル回路との混載にもかかわらず、AIU部ではSN比80 dBm以上の十分な精度を確保することができた。

● 低消費電力DSP

音声符号化・復号化はベースバンド部の中でもとくにキーとなる機能で、これを実現するDSPには高速処理が要求されるため、電力的にもかなり大きな割合を占めている。したがって、DSPの消費電力をいかに下げるかが、携帯電話機の性能を決める重要なポイントとなる。信号処理用LSIの開発に当たって、DSP内のブロック毎の電流を詳細に解析し、電流が多いブロックについて回路的、レイアウト的に最適化を図った。さらに0.35 μ mプロセスの採用により、配線容量、ゲート容量を大幅に低減した結果、従来のDSPと比較して、消費電力を1/3以下に抑えることができた。

● $\Sigma\Delta$ 型AD/DAコンバータ

デジタル回路と混載しても十分な特性を得るため、デジタル回路との親和性が良く、デジタル・アナログ混載に向けた回路方式である、 $\Sigma\Delta$ 型AD/DAコンバータ方式を採用した。この方式は、1クロック前の量子化信号と現在の入力信号との差分を積分していく変換方式で、本方式の採用により、十分な精度のAD/DA特性を得ることができた。

● 高通倍PLL

携帯電話機では様々なクロック周波数が必要とされるが、クロックの発振源となる水晶発振子は実装において多くのスペースを要するため、携帯電話機においては供給するクロックを極力削減して水晶発振子の数を減らしたい。今回高通倍数(1,000倍以上)を持つPLLを開発することにより、限られたクロック源から所望のクロック周波数を発生することが可能となったため、従来必要であった外部の水晶発振子を削減することが可能となり、携帯電話機の小型化に寄与することができた。

信号処理用LSIにおいては、復調用および $\Sigma\Delta$ 型AD/DAコンバータ用クロックの発生源として、高通信のPLLを採用している。

- ASIC内蔵マイクロコントローラ(QCM-16L)

制御用LSIにおいては、ユーザ回路の搭載が可能なQCM-16Lシリーズを使用することにより、従来はマイコンとASICの2チップで構成していた部分の1チップ化を実現した。QCM-16Lシリーズは富士通オリジナル16ビットマイコンをベースにしたASICマイコンである。携帯電話用途に向けて低消費電力と小型化を実現するため0.35 μ mのテクノロジーを採用し、電力消費を従来の半分に抑えることに成功している。

今後の展開

- デジタル・アナログ混載テクノロジー

移動通信は携帯電話だけに限らず、携帯情報端末としての用途も広がっていくと考えられ、小型化・軽量化は今後ますます要望が増えてくる。

このためにLSIの統合化は必須であり、デジタルとアナログを混載する技術が大きなキーポイントとなっている。

0.35 μ mで蓄積されたデジタル・アナログ混載技術のノウハウを次期テクノロジーである0.25 μ m、0.18 μ mに生かし、他社に先行してシステムのチップ統合化を図っていききたい。

- DSPの低消費電力化

電池の小型化・軽量化に大きく寄与することから、今後低消費電力化は一層要求が増えてくる。この要求を満足させるために、前述の信号処理用LSIで設計したDSP(0.35 μ m)を0.25 μ mで設計し、すでに試作品が完成している。評価の結果、従来に比べて消費電力を約40%に抑えられることが確認できた。次期プロジェクトにおいては、本DSPを搭載したシステムLSIを開発予定である。

また、機能変更に対する適応性から、より多くの機能をDSPで実現しようとする要望が今後増えてくる。このためには、より高速な処理と低消費電力を満足するDSPの開発が必要になってくる。

現在この要求を満足させるために、100 MIPS以上(MIPS: 1秒間に処理できる命令数, 1 MIPSは1秒間に100万の命令を処理)の性能を持つ新アーキテクチャのDSPを開発中である。

さらなる低消費電力化の手法として、1 V程度での低電圧でも高速動作を実現可能とするため、スレッショルド

制御を導入する方式の検討を始めている。

- ソフトウェア・ファームウェア開発

これまでは携帯電話に必要とされる各種ハードウェアの開発を中心に行ってきたが、CPU、DSPの高性能化に伴い、従来ハード的に処理していた機能をソフト処理で行おうとする傾向が強まっている。したがって、システムソリューションの提供のためには、CPUソフト、DSPファームの開発・提供が必須となってきている。

現在、音声符号化を中心とした独自ファームウェアの開発を推進中である。今後制御系や音声符号化以外の信号処理系のソフトウェア・ファームウェアの開発にも着手し、提案型ソリューションの提供を行っていく。

- 高周波部の取組み

高周波部については、PLLとアナログ回路を1チップ化し、BiCMOS技術を採用した“ASTRO ARRAY”を提供しており、携帯電話市場に広く受け入れられている。今後、アプリケーションによっては更に高い周波数を実現する要求が出てくるが、この分野については、BiCMOS技術を更に進化させることにより対応していく。

また、システムのオンチップ化に向けては高周波部もCMOS化し、ベースバンド部に統合していく必要がある。現在中間周波帯を中心としてCMOS化を推進中であり、さらに次世代に向けて高周波部のCMOS化も計画中である。

む す び

今回携帯電話機用に開発したシステムLSIの要素技術を紹介した。システムがますます複雑化する流れの中、チップの統合化を推進し、高機能マクロを搭載したシステム・オン・チップを実現することは、今後の携帯電話機や携帯情報端末の小型化・高性能化において大きなアドバンテージとなる。このため、チップ統合化・高速化の要求は今後も続くと考えられる。

富士通はチップ統合の主要技術であるデジタル・アナログ混載テクノロジー、およびDSPに代表される高速・低消費電力を同時に実現する技術に更に磨きをかけることで、より小さく、より高機能で、より低消費電力のシステムLSIを他社に先駆けて供給していきたいと考えている。

参考文献

- (1) 山本ほか: 超小型軽量携帯電話機. FUJITSU, 48, 6, pp.493-498(1997).