

マルチメディアオーディオ用 DSP

DSP for Multimedia Audio

あらまし

マルチメディアオーディオ技術に欠かせない、Dolby Digital(AC-3)、MPEG-Audio デコード用システム LSI として開発したマルチチャンネル・オーディオプロセッサ(MUCAP)を紹介する。MUCAP は高性能 DSP コアと専用の周辺回路を搭載することで、複雑かつ高速処理が要求される Dolby Digital(AC-3)デコードや MPEG-Audio デコードの処理を効率よく実現でき、Dolby Digital(AC-3) デコーダ LSI として米国 Dolby Lab. の認証を得ている。また、MUCAP は、Dolby Digital(AC-3)、MPEG-Audio デコード、Dolby Pro Logic デコード、サラウンド処理などの信号処理を同時に行うことも可能にした。

本稿では、Dolby Digital(AC-3)デコード処理フローと MUCAP アーキテクチャについて説明する。

Abstract

This paper introduces the MULTi Channel Audio Processor (MUCAP), which is a Dolby Digital (AC-3) and MPEG-Audio decoder.

MUCAP efficiently decodes Dolby Digital (AC-3) and MPEG-Audio using a high-performance DSP-core and on-chip peripherals for specific applications.

The device has been approved as a Dolby Digital (AC-3) Decoder LSI by the Dolby Laboratories Licensing Corporation. MUCAP can also decode Dolby Digital (AC-3) with Dolby Pro Logic or any other surround-sound processing.



糟谷 武(かずや たけし)

1988 年日本大学理工学部電子工学科
卒。同年富士通入社。以来デジタル
シグナルプロセッサ開発に従事。
第一システムLSI事業部プロセッサ設
計部

ま え が き

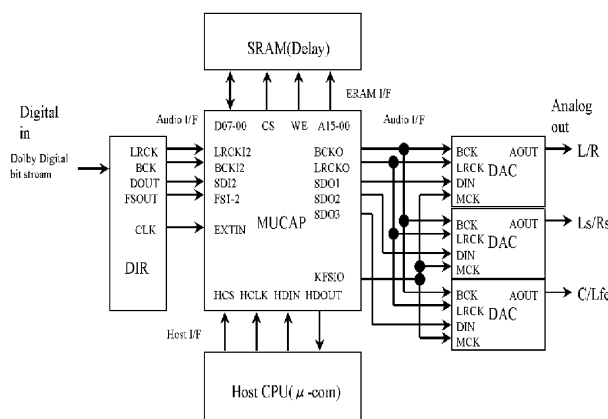
1996年のDigital Video Disk(以下、DVD)の登場から対応する家電製品の開発が一気に加速したマルチメディアオーディオ市場において、中核技術を担っているのはDolby Digital(AC-3)^(注1)とMPEG-Audioである。MPEG-AudioはVedioCDに適用され、Dolby Digital(AC-3)は、全世界の映画館用音響技術として使用されてきた。本技術は、DVDのオーディオ規格として採用されたことで、ホームシアター時代の先駆ける技術となった。さらには、米国ATVのオーディオ規格にも採用が決定され、マルチメディアオーディオのスタンダード技術となっている。これらの技術は複雑かつ高速な信号処理を必要とし、汎用CPUやMPUでの処理は困難である。そこで、デジタル信号処理を効率良く処理できるDSPコアと、MPEG-Audio、Dolby Digital(AC-3)特有の処理をDSPコアと共同で効率的に行う周辺回路を搭載したMUCAP(MULTI Channel Audio Processor)を開発することによって、これらの複雑かつ高速処理を1チップで処理することができた。

Dolby Digital (AC-3)

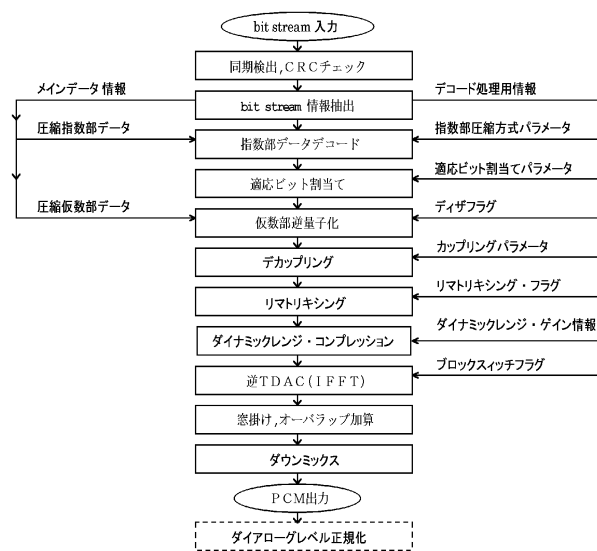
Dolby Digital(AC-3)は、Dolby Lab.が開発したマルチチャンネル・デジタルオーディオ信号符号化方式である。完全に独立した5チャンネルと、低域周波数専用サブウーファ用の0.1チャンネルから構成されている。この方式はフロントチャンネルのみならず、リアチャンネルまでの5チャンネル全てが20 kHzまでの周波数バンド幅を持つことで、物体の移動や雨の細かい粒の音など細部までリアルに再現でき、臨場感あふれる立体音響空間を作り出すことができる。また、圧縮方式には、オーディオ信号を人間の聴覚特性であるマスキング効果を用いた知覚符号化で圧縮することにより、PCM方式と比べ最大2桁の圧縮効率を実現している。

Dolby Digital(AC-3)デコードシステム

MUCAPを使用したDolby Digital(AC-3)デコードシステムを図-1(a)に示す。MUCAPは、圧縮されたオーディオデータであるDolby Digital(AC-3) bit streamを、デジタルオーディオ・インタフェースレシーバから受け取る。受け取ったデータはHost CPUからの設定に従ってデコード処理を行い、処理結果としてPCMオーディオデータを後段に接続されるDAC(DAコンバータ)に出力する。



(a) Dolby Digital(AC-3)デコードシステム



(b) デコード処理フロー

図-1 Dolby Digital(AC-3)デコードシステムおよびデコード処理フロー

Fig.1-Dolby Digital(AC-3)decode system and decode procedure.

MUCAP内でのDolby Digital(AC-3)デコード処理は、図-1(b)に記載された順序で行われる。著者らがMUCAPを開発するに当たって検討した事項は、図-1(b)のどの処理ステージが最も複雑かつ高速性が要求されるかである。検討の結果、適応ビット割当て、仮数部逆量子化、ITDAC処理が複雑かつ高速性が要求される処理であることが分かった。開発するに当たり、DSPコアアーキテクチャは前記三つのステージを効率的に処理できるように設計した。さらにITDAC処理ではデータ演算精度も要求されるので、データ演算精度が最低でも20ビット以上に保たれるようにアーキテクチャに工夫を施した。

MUCAP

MUCAPのブロック図を図-2に示す。MUCAPは、20

(注1) Dolby, AC-3は、Dolby Laboratories Licensing Corporationの商標。

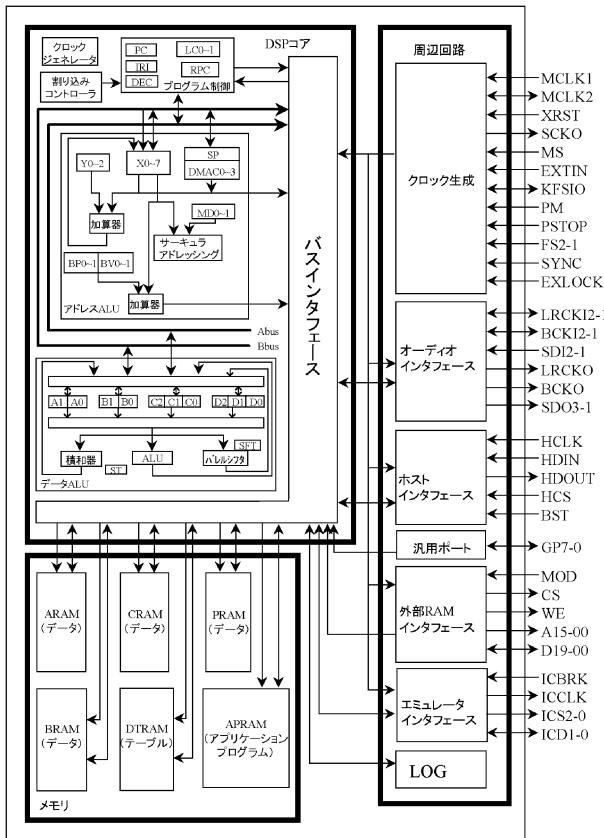


図-2 MUCAPブロック図
Fig.2-MUCAP block diagram.

ビット固定小数点DSPコアとホストCPU、DACなどとインタフェースを行う周辺回路から構成される。DSPコア部は、プログラム制御部と、メモリやマップドI/Oへのアクセス時のアドレス生成を行うアドレスALU部、48ビットアキュムレータを2本と演算用レジスタ、1サイクル積和演算を行う高性能積和器などを含むデータALU部、およびDSPコアと周辺回路とのデータインタフェースを行うバスインタフェース部から構成される。周辺回路は、Dolby Digital(AC-3) bit streamを受け、DACにPCMデータを出力するオーディオインタフェース部、各種処理モードやMUCAP内部の状態、ユーザプログラムのロードなど、ホストCPUとのデータコミュニケーションポートとして使用するホストインタフェース部、汎用ポート部、サラウンドディレイ処理用に外部SRAMと接続する外部メモリインタフェース部、水晶発振や外部クロックの入力を受け、MUCAP内部にDSPコアクロックなどを与えるクロック生成部から構成される。エミュレータインタフェース部は、LSIデバッグ用にエミュレータと接続されるオプション周辺回路として存在する。また、Dolby Pro Logic^(注2)デコード時に指数・対数処理をアシストするLOGモジュール、オーディオインタフェース部のCRCア

シスト回路、外部メモリインタフェース部のSRAMアクセス転送をアシストする回路がある。さらに、メモリ部はユーザプログラムを格納するアプリケーションプログラムRAMなどの周辺回路を搭載した。

● DSPコアアーキテクチャ

以下にDSPコアの特徴および概要を示す。

- (1) 2組のデータ転送、2組のアドレス演算、4組の算術演算を同時に1サイクルで実行可能
- (2) 8本の20ビット汎用レジスタ
- (3) 2本のオーバーフロー用ガードビット付き48ビットアキュムレータ

(4) 固定小数点演算

- ・乗算 $20\text{ビット} \times 20\text{ビット} \rightarrow 48\text{ビット}$
- ・加減算 $48\text{ビット} \pm 48\text{ビット} \rightarrow 48\text{ビット}$
- ・積和演算 $48\text{ビット} \pm (20\text{ビット} \times 20\text{ビット}) \rightarrow 48\text{ビット}$
- ・シフト付き積和演算 $48\text{ビット} \pm (20\text{ビット} \times 20\text{ビット}) \ll (1 \text{ or } 2\text{ビット}) \rightarrow 48\text{ビット} \gg (20\text{ビット})$

- (5) 最大処理能力 55.2 MIPS
- (6) マシンサイクル 18.1 ns
- (7) 即値指定を除くALU演算を全て1サイクルで実行可能
- (8) オーバヘッドなしのブロックリピート命令
- (9) 多彩なアドレッシング機能

- ・2本の独立したアドレス生成
- ・8本のアドレスレジスタおよび3本の更新用レジスタ
- ・アドレスレジスタ更新機能付きアドレス生成
- ・サーキュラアドレッシング機能：2本の専用ベースポインタおよびモジュロレジスタ

● 命令セット

DSPコアの中で、MPEG-Audio、Dolby Digital(AC-3)デコード処理およびその他のオーディオ処理に効果的な命令について以下に説明する。

- (1) MULU/MULS/MSMU/MSMS/MRDU/MRDS：符号付き、符号なし選択可能な乗算命令

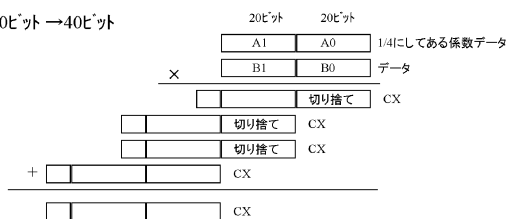
本命令は、乗数、被乗数を符号付き/符号なしで乗算、積和、積差演算を行う。本命令はメモリからの二重転送とも複合可能である。本命令と通常の符号付き乗算系命令(MUL/MSM/MRD)を組み合わせると、より精度の高い多精度演算が実現できる。倍精度およびそれ以上の精度を要求されるフィルタ処理などに適用した。

- (2) MUL1/MRD2/MSM1A...：シフト付き乗算命令

本命令は、前述した命令に乗算結果を1ビット、2ビッ

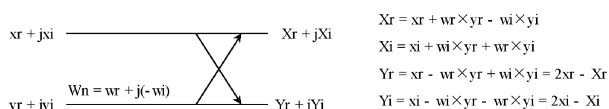
(注2) Pro Logicは、Dolby Laboratories Licensing Corporationの商標。

40ビット × 40ビット → 40ビット



case1(シフト付き命令を使用しない場合)	case2(シフト付き命令を使用した場合)
1. MULU CX, A0, B0	1. MULU2A CX, A0, A1
2. LSR CX, #18	
3. MULS DX, A1, B0	2. MSM2 CX, A1, B0
4. ASL DX, #2	
5. ADD CX, DX	
6. MULS DX, B1, A0	3. MSM2A CX, B1, A0
7. ASL DX, #2	
8. ADD CX, DX	
9. ASR CX, #20	4. MSM CX, A1, B1
10. MSM CX, A1, B1	
10cycle	4cycle

(a) 多精度演算



case1(専用命令を用いない場合)	case2(専用命令を用いた場合)
1. MOV CX, (X4+0)	1. MOV CX, DX, (X4+0)
2. MOV DX, CX	
3. MRD DX, A0, (X0+0), A1, (X5-1)	2. MRD DX, A0, (X0+0), A1, (X5-1)
4. MRD DX, A0, (X0-1), A1, (X5+0)	3. MRD DX, A0, (X0-1), A1, (X5+0)
5. ASL CX, #1	4. SSB (X4+1), DX, CX
6. SUB CX, DX	
7. MOV (X4+1), DX	5. MOV (X5+1), CX
8. MOV (X5+1), CX	6. MOV CX, DX, (X4+0)
9. MOV CX, (X4+0)	
10. MOV DX, CX	7. MSM DX, A0, (X0+Y0), A1, (X5+1)
11. MSM DX, A0, (X0+Y0), A1, (X5+1)	8. MRD DX, A0, (X0+1), A1, (X5-1)
12. MRD DX, A0, (X0+1), A1, (X5-1)	9. SSB (X4+1), DX, CX
13. ASL CX, #1	
14. SUB CX, DX	10. MOV (X5+2), CX
15. MOV (X4+1), DX	
16. MOV (X5+2), CX	
16cycle	10cycle

(b) FFTバタフライ核の演算

図-3 MUCAP演算コーディング例

Fig.3-MUCAP signal processing coding examples.

ト左シフトする機能および乗算結果または積和、積差演算結果を20ビット右シフトする機能を加えた演算を行う。したがって、本命令では、乗算 → シフト → 加算 → シフト処理を1サイクルで行うことができる。本命令を使用することで、前述の命令を用いたときより更に短い処理ステップで多精度演算を行うことができる。40ビット × 40ビット → 40ビット演算を前述の命令を用いて行うと10サイクルかかる処理を、本命令を使用することで図-3(a)に示すように4サイクルで実現できた。Dolby Digital(AC-3)デコード処理のITDAC処理などに適用した。

(3) SSB/MOVT : FFT専用命令

MOVTはメモリ上の値を異なる2本のアキュムレータへ二重転送することができる。また、SSBは以下の処理を1サイクルで行うことができる。

(メモリ) ← S(アキュムレータ)

表-1 MUCAPベンチマーク結果

項目	処理時間
20タップFIRループ	0.47 μs
4係数標準型IIR 1Dループ	0.57 μs
マトリクス乗算331ストレート	0.25 μs
基礎2複素IFFT256ポイント	302 μs

D (アキュムレータ) ← D (アキュムレータ) × 2 - S (アキュムレータ)

以上の命令を使って、図-3(b)に示すようにFFT処理の核であるバタフライ演算を通常16サイクルかかる処理が10サイクルで実現できた。Dolby Digital(AC-3)デコード処理のITDAC処理に適用した。

(4) CMGT/CMLT : Max, Min命令

本命令は、いわゆるMax, Min命令であり、2値(レジスタ)を比較して大きい方または小さい方をディスティネーションレジスタに格納する。本命令を用いることによって、通常3または4サイクル処理を1サイクルで実現することができた。Dolby Digital(AC-3)デコード処理の適応ビット割当て処理などに適用した。

DSPコアのベンチマーク結果の一例を表-1に示す。これらは、上記命令のほか、アドレス演算機能や演算命令を用いて実現した値である。

● 周辺回路

ここではMPEG-Audio, Dolby Digital(AC-3)デコード処理に特化した周辺回路をいくつか説明する。

(1) CRC回路 : オーディオインタフェース部に搭載

MPEG-Audio, Dolby Digital(AC-3)デコード処理では、入力データ(frame)に対して伝送エラーの有無をCRCを行うことにより検出している。本回路は、入力データに対して自動的にCRCチェックを行い、チェック結果をフラグに反映することで、ファームウェアがエラーを検出することができる。

(2) バイト転送回路 : 外部メモリインタフェース部に搭載

サラウンド処理に用いるデータディレイ処理を外部に接続されるSRAMを用いて行う際に、SRAMのバス幅(8ビット)に合わせてMUCAP内バスデータを自動で8ビットに折り畳み、しかもアクセス時にあらかじめ設定しておいたウェイトサイクルを自動挿入する機能を有する。本回路の搭載によりシステム構成を簡素化できた。

(3) APRAM : メモリ部に搭載

MUCAPでは、Dolby Digital(AC-3)デコード処理以外にユーザ固有の処理を256ワードのプログラムRAMにプログラミングすることによって実現できるようにした。このプログラム空間を利用することで、Dolby Digital(AC-3)

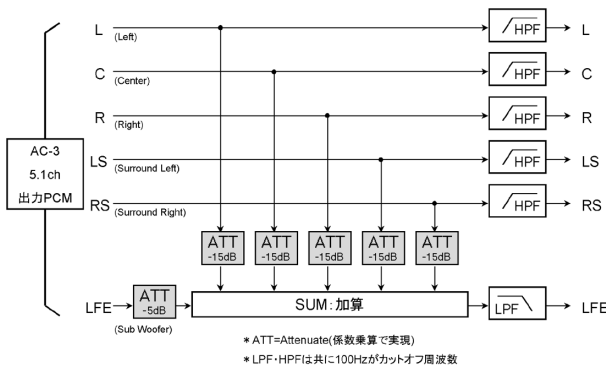


図-4 Configuration 1(bass management)構成図
Fig.4-Configuration 1.

デコード後に様々な処理を行うことができた。

このようなアーキテクチャを用いることによって、MUCAPではDolby Digital(AC-3)デコード処理を約30 MIPSで実現している。

APRAM の応用例

Dolby Digital(AC-3)では、ユーザの持つ様々なスピーカ構成に対応できるよう、いくつかの出力チャンネル Configurationが規定されている。Dolby Digital(AC-3)デコード処理と併用して、MUCAPでは図-4の処理をAPRAMによって実現した。

MB86342 : Dolby Digital(AC-3) デコード LSI

Dolby Digital(AC-3)デコード処理をファームウェアのメイン機能として搭載したDolby Digital(AC-3) デコード用システムLSIをASSPとして開発した。今回開発したLSIの概要を表-2に示す。本LSIはDolby Digital(AC-3)デコード処理のほか、Dolby Pro Logicデコード処理やそれらの併用動作も実現した。

む す び

マルチメディアオーディオ市場に必要なコンポーネントである、Dolby Digital(AC-3)、MPEG-Audioデコード用システムLSIとして開発したMUCAPのアーキテクチャおよび搭載されている周辺回路について述べた。

表-2 MB86342 : Dolby Digital(AC-3)Decoderの概要

Dolby Digital(AC-3)5.1chフルデコード可能

全ビットレート、全サンプリング周波数対応可能
ダウンミックス内蔵(カラオケモード時も機能)
ダイアログノーマライゼーション内蔵
ダイナミックレンジコンプレッション内蔵
ノイズシーケンサ内蔵
各チャンネルのディレイを独立設定可能

Pro Logicデコード

Dolby Digital(AC-3)+Pro Logicデコード

16/18/20ビットオーディオデータ入出力可能

PLL内蔵によりオーディオシステムクロック(384 fs)のみで動作

3線式オーディオI/fによりADC、DAC、DIR、DITと接続可能

ホストインタフェースにより動作制御可能

APRAMによりユーザ固有のアプリケーションが実現可能

3.3 V単一電源

QFP-100パッケージ

アーキテクチャでは、開発したDSPコアの持つ様々な機能によりDolby Digital(AC-3)デコード処理が効率良くできることを示した。周辺回路においても、アーキテクチャ同様Dolby Digital(AC-3)デコード処理が効率良くできることに加え、システムLSIであるMUCAPにより、アプリケーションシステム全体がシンプルに構成できた。

現在、MPEG-AudioやDolby Digital(AC-3)以外にマルチメディアオーディオ市場では、様々な技術やフォーマットが提唱されている。今後はそれら全ての技術要素に対応するために、MUCAPに搭載されているDSPコアの性能向上とそれぞれの技術要素に対応したアプリケーションファームウェアの開発、さらなるシステム化を目指して外部メモリなどの周辺回路の取込みを行っていきたい。

参考文献

- (1) - : FIND, 富士通, 15, 1, 通巻71号, pp.29-31(1997).
- (2) - : 電子技術, 日刊工業新聞社, 39, 10, p.37(1997).
- (3) 青山ほか: DVDがやって来た!, マキノ出版・特選出版, 1997, pp.52-53.
- (4) 藤原監修: ポイント図解式 最新MPEG教科書. アスキー, 1994.8.