

# システム LSI 向け CPU コア

## CPU Core for System LSI

### あらまし

システムLSIは、一つのチップに多くの技術要素をまとめ上げる技術であり、製造プロセスの微細化が非常に進んでいる現在、難しいことではなくなった。

しかし、ハードウェアだけでは要求仕様のマイナチェンジ等に短期間では対応できない。自由度を上げ、将来の仕様変更等にもソフトウェアで対処できるようにするため、システムLSIにプロセッサコアを内蔵する場合が増えている。著者らは、システムLSIでのソフトウェア処理を行うために、現在、SPARCliteシリーズとFRシリーズの二つの32ビットRISC CPUを提供している。これらのプログラマブル・プロセッサコアは、それぞれ高い演算性能(SPARClite)、制御用に最適化された仕様(FR)という特徴を有している。これらのプロセッサコアを用途に応じて搭載することで、ユーザ・アプリケーションに最適で拡張性のあるシステムLSIの開発が可能となる。

### Abstract

Using today's sub-micron process technology, it is relatively easy to fabricate multiple functional components onto a single chip. However, for these systems-on-silicon, customers need more system flexibility to cope with their specification changes and the technology to integrate a CPU core into a system LSI.

This paper introduces two CPU cores for system LSI that provide high calculation and control capabilities. The first of these, the SPARClite CPU core, is suitable for use as a network controller and as a controller for laser printers, digital cameras, and other equipment. Applications for the second core, the FR CPU core, include control of video cameras and ink-jet printers.



助村隆郎 (すけむら たかお)

1982年東京都立大学理学部物理学科卒。同年富士通入社。以来マイクロプロセッサおよびその周辺LSIの開発に従事。第一システムLSI事業部プロセッサ設計部

高橋 均 (たかはし ひとし)

1981年東京工業大学電子物理工学科卒。同年富士通入社。以来主としてマイクロコントローラのCPUの開発に従事。第一システムLSI事業部プロセッサ設計部

## ま え が き

半導体の集積度が年々向上し、10年前と比較すると約20倍のトランジスタを集積できる時代となった。このような高集積度の技術を利用すると、従来では一つのプリント基板の上に作っていた電子回路が一つのシリコンの上に搭載可能となる。これがいわゆるシステムLSIである。システムLSIを使用することによって、最終製品をより低価格で、より低消費電力で、より小さくすることが可能となる。このため、携帯系の商品を中心にシステムLSIは普及しつつある。

従来からシステムを中心にはシステムを制御するマイコンが存在したが、システムLSIではこれもまた搭載されるマクロ(ある機能を実現させるための回路の集合体をマクロと呼ぶ)の一つとなる。そのため、多数のマクロと同居するための技術や、従来より多くなった制御対象の処理が行えるだけのより高い処理能力がマイコンに求められている。

本稿では、著者らが持っているシステムLSI向けCPUコアの概要と、それを用いたシステムLSIの構築技術を紹介する。

## SPARClite 32 ビット RISC CPU コア

### SPARCliteシリーズCPUコアの概要

SPARClite<sup>(注1)</sup>はワークステーションに使用されているSPARC<sup>(注2)</sup>アーキテクチャをベースに、組込み機器用に再設計された富士通オリジナルの32ビットRISCプロセッサである。1991年に最初の製品であるMB86930を発売して以来、レーザビームプリンタ、ネットワーク機器等、高速なデータ処理が必要な分野に使用されてきた。しかし、開発当初のSPARClite MB86930シリーズは、0.8 μmプロセスを使用して、最大40 MHz/42 MIPSという当時としては十分な高性能を達成していたものの、最大構成のMB86932(図-1)ではキャッシュメモリ等を含めたCPUコアサイズが約11 mm角であり、システムLSIに内蔵するためには大き過ぎた。また、消費電力も40 MHzで3.5 Wであり、高価なセラミックパッケージに更に放熱フィンを付けて使用する必要があった。

システムLSIのコアとしてCPUを提供するためには、以下の条件が重要であると考えられる。第一に、大規模な

システムLSIに取り込むことが前提であり、CPUコア以外にどれだけの回路がシステムLSI上に搭載できるかが問題となるので、CPUコアの面積が十分に小さいことである。第二に、安価なプラスチックパッケージに封止するためには、システムLSIの消費電力を、1~1.5 W程度までに抑えなければならないため、CPUコア自身の消費電力が十分小さいことである。最後に、システムLSIに取り込んだ場合の設計環境やソフトウェア開発環境が整備されていることである。

SPARClite MB86930シリーズは上記の消費電力が大きいという欠点を持っていたが、SPARCアーキテクチャに準拠しているという利点を生かし、ソフトウェア開発環境は非常に良く整備されており、ワールドワイドに通用するリアルタイム・オペレーションシステムやコンパイラ等の言語系ツール、ソフトウェアデバッグに威力を発揮するICE(イン・サーキット・エミュレータ)等が完備している。著者らは、MB86930シリーズの欠点を補い、利点は生かすという方針で、MB86930シリーズのアーキテクチャは変更せずに、内部動作を最適化し、高速化・低消費電力化を図った新しいSPARClite MB86830シリーズを開発した。現在のMB86830シリーズの最大構成品は、MB86832(図-2)であり、0.35 μmプロセスを使用して、従来品のMB86932と同じ8 Kバイトの命令キャッシュ、MB86932の4倍の8 Kバイトのデータキャッシュを搭載し、MB86932の2.5倍の100 MHzの最大動作周波数(実効性能121 VAX-MIPS)を達成している。CPUコアサイズは約19 mm<sup>2</sup>で、MB86932の1/6以下である(ここでのCPUコアの定義は、キャッシュ、バスインタフェース等の回路も含めている。図-3参照)。また、100 MHz動作時の消費電力は約1 Wであるが、MB86932と同じ40 MHzで動作させた場合の消費電力はMB86932の約1/7に過ぎない。このMB86830シリーズは、汎用品として従来同様レーザビームプリンタ等に使用されており、またデジタル・スチルカメラ等の携帯機器に関しても新たに市場を獲得している。さらに、このMB86830シリーズのCPUコアをプログラマブル・プロセッサコアとして使用することにより、ソフトウェア開発には従来からの充実した開発環境を使用しながら、高性能・高機能を複合させたシステムLSIやシステムASICを開発することが可能になった。

### SPARCliteコア内蔵システムLSI開発環境

今後は、高性能プロセッサコアを内蔵したシステムLSIを開発するためには、ソフトウェアとハードウェアのコ・デザイン環境が重要となってくる。コ・デザインとは、計算機シミュレーションを使用して、ソフトウェア

(注1) SPARCliteは、SPARC International, Inc. の米国における商標であり、Fujitsu Microelectronics, Inc. がその独占使用を許可されている。

(注2) SPARCは、SPARC International, Inc. の米国での登録商標であり、Sun Microsystems, Inc. により開発された技術に基づくものである。

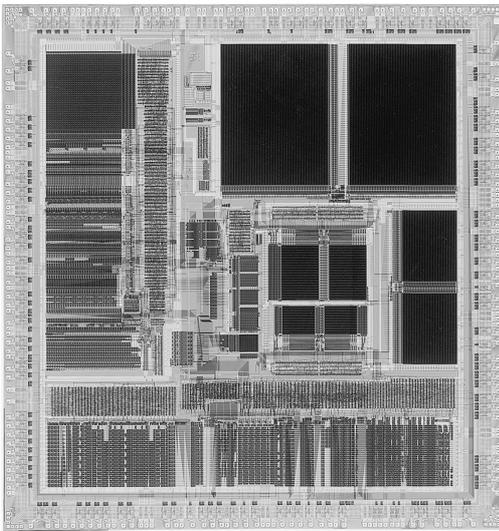


図-1 MB86932チップ写真  
Fig.1-MB86932.

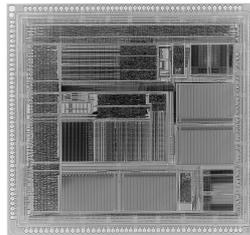


図-2 MB86832チップ写真  
Fig.2-MB86832.

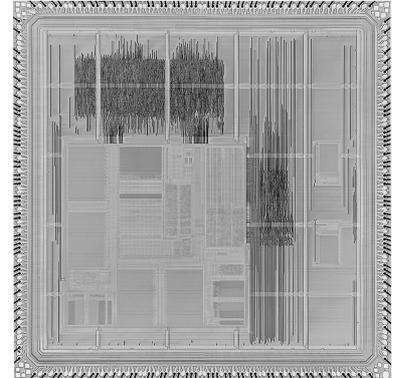


図-4 MB86832 CPUコアをエンベッデッドレイに組み込んだテストチップ  
Fig.4-System LSI test chip using MB86832 CPU core.

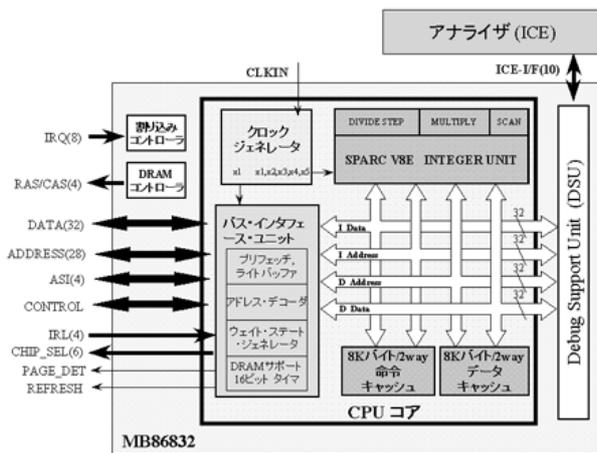


図-3 MB86832ブロック図  
Fig.3-MB86832 block diagram.

とハードウェアを並行して開発しようとするものである。従来、ソフトウェアの開発は、システムLSIチップの開発完了後に開始されていたが、高機能なシステムLSIの場合、ソフトウェア開発工数が膨大になるため、ソフトウェアの開発をチップの開発完了後に開始したのでは、トータルでの開発工数が長くなり過ぎ、製品のタイムリな市場投入が難しくなる。また、高度なシステムLSIを開発する場合、アプリケーションのどの部分をハードウェア化し、どの部分をソフトウェアで処理するかの切分けが重要になる。システムLSIチップの開発中にハードウェアとソフトウェアの組合せを変え、最適値を見つけるのは非常に難しいが、シミュレーションで最適値の評価が可能なコ・デザイン環境を使用することにより、システムLSIチップの仕様の最適化を行うことが可能となる。つ

まり、コ・デザイン環境は、仕様の決定、検証期間の短縮も含めて、システムLSIの開発TAT(Turn Around Time)の短縮に非常に効果がある。

コ・デザイン環境の考え方としては、大きく2種類存在する。一つはタイミング精度を重視するアプローチであり、もう一つは、高速動作を優先するアプローチである。

ソフトウェア開発者向けには、後者の高速動作の優先が必要である。ソフトウェア開発では、実チップと同じ速さでソフトウェアが流れ、迅速にソフトウェアのデバッグができることが要求される。しかし、CPUの動作サイクルを完全に再現する等のタイミング精度は要求していない。この場合には、CPUの動作を抽象度の高いIC言語で記述し、高速にシミュレーションする“C-Model”が有効である。逆に、ハードウェア設計者は、シミュレーションの速さよりも、動作サイクルを完全に再現することを要求する。この場合は、CPUの動作を実物と全く同じ動きをするように記述した“RTL-Model”が有効となる。

SPARC liteでは、すでに、RTL-Model、C-Modelに対応した、コ・デザイン環境は開発済みであるが、今後は、さらに大規模なシステムLSI開発のために、C-Modelの高速性とRTL-Modelのタイミング精度の両方の利点を持ったコ・デザイン環境が必要になるとと思われる。

また、システムLSIでは製品毎にパッケージ、端子配置が異なり、従来の全端子をモニタリングするICEでは個別対応が不可能であるが、SPARC liteでは、従来より、ICEの機能の一部をチップ内部に取り込んだDSU(Debug Support Unit)を内蔵しており、このDSUの専用端子10本を使用することによって、パッケージ、端子配置が変わっ

ても同一ICEが使用できるようになっている。

今後、SPARCliteシリーズでは、データバスの64ビット化、スーパースカラ化の品種展開を行っていくが、すべてシステムLSIのプロセッサコアとして使用できるよう環境を整備していく。

## SPARClite内蔵システムLSI開発事例

本例は富士通のエンベデッドアレイにSPARCliteコアを内蔵させたものである。コア部分はセルベースの設計のまま、ユーザ回路は従来のエンベデッドアレイ手法で設計できるようになっている(図-4)。このため、高い集積度を保ちながら、ユーザのシステムLSI設計開発期間を大幅に短縮することができる。

## FRシリーズ 32ビット RISC CPU コア

### FRシリーズCPUコアの概要

家電、車載制御等、従来簡単な制御を行えば十分で

あった市場要求もファジー制御、1/fゆらぎ処理など演算機能の必要性が高くなってきた。また、携帯電話やPDAのように内蔵電池を動力源として動作する、新しい市場も急速に立ち上がってきている。このような新しい制御分野では高い処理能力の重要性とともに、消費電力やメモリ容量の低減も大きな要求となる。

前章で説明したとおり、富士通には高い処理能力を持つCPUコアとしてSPARCliteシリーズがある。SPARCliteシリーズは、ワークステーションに使用されているCPUを組込み用として再設計したものであり、高い演算処理能力を要求する市場に活用されている。しかし、さらに消費電力やメモリ容量を用途に応じて削減できるためには、CPUコアの仕様まで変更する必要が生じる。このため、富士通オリジナルの仕様でCPUアーキテクチャを設計して対応した。これがFRシリーズである。

処理能力の向上を意図して、FRシリーズは32ビット

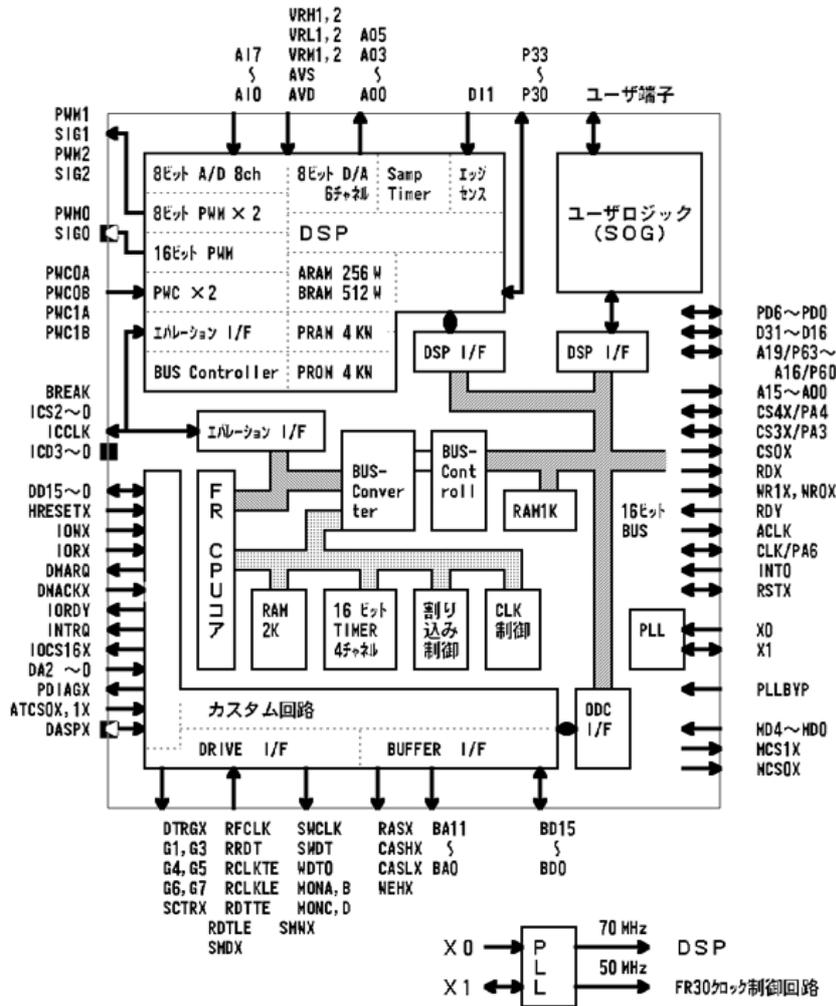


図-5 FRシリーズシステムLSI実例(ブロック図)  
Fig.5-Block diagram of system LSI using FR series CPU core.

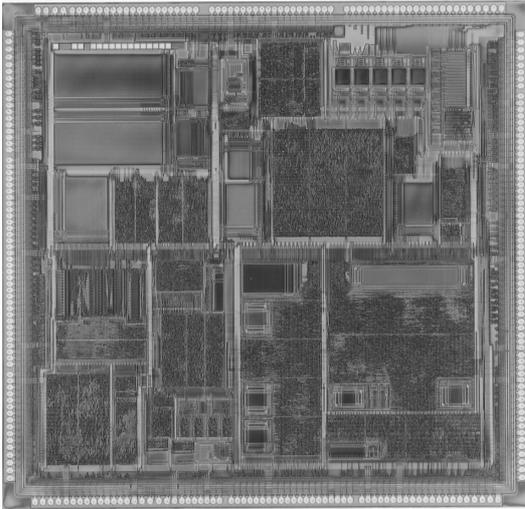


図-6 FRシリーズシステムLSI実例(チップ写真)  
Fig.6-System LSI using FR series CPU core.

RISCアーキテクチャを採用した。1命令1クロックを50 MHzの動作周波数で動かすことにより、Dhrystone ver.1, 1のベンチマークで最大コア性能 64 VAX-MIPSの処理能力を発揮する。一方で、必要なメモリ容量を削減するため、レジスタ数を通常のRISCで採用されている32本から16本に削減し、命令コード長も16ビット固定長とした。また、16本のレジスタでも制御用途としての能力、使い易さが劣ることがないように、ビット処理命令や頻繁に使用するメモリ間の直接転送を行う命令などが追加されている。このような仕様の工夫は、同時にコア面積や消費電力の低減につながった。この結果、コアサイズ(命令実行部のみ)は0.35  $\mu\text{m}$ プロセスで2 mm<sup>2</sup>と業界最小クラスのサイズとなった。さらに、0.35  $\mu\text{m}$ プロセスを採用したときのコア部の消費電力は30 mWと業界最小レベルを達成できた。

#### FRコア内蔵システムLSI開発環境

制御を意図したLSIでは、実時間動作を行いながらユーザプログラムをデバッグできることが必須の条件となる。現在の技術では、この条件を満たすためにはICEで対応するしかない。ICEはLSIが出力する信号をもとに、CPUの動作状況をトレースする。しかし、従来の制御用マイコンに比べはるかに高速動作を行うRISC CPUの動作

状況を、専用端子で毎サイクル読み込むという従来技術では安定動作が実現できない。このため、FRシリーズではSPARCliteシリーズで採用した、9本のインタフェース信号で内部状態をシリアルで出力するDSU技術を採用し、さらに高速CPUの動作をより細かく把握できるようにFIFOを設けるなどの工夫を行った。また、DSUを品種に依存せず共通仕様とすることで、異なる品種の間で共通のICEを使うことが可能となり、ユーザの複数のシステムLSIに対し早急な対応が可能となった。

#### FRコア内蔵システムLSI開発事例

本品種はFRシリーズを内蔵したシステムLSIの一つである。このLSIはFR30 CPUコアにDSPとユーザカスタム回路を内蔵させた構成となっている。本品種を採用した分野では、特定処理を高速に行う必要があるために、その部分の処理はDSP部のプログラムで行い、通常制御は低速なFRコアで行うという作業分担としている。これにより、高速処理が必要な部分に必要な最小限のハードウェアを適用することが可能となり、LSI全体を不必要に高速で動作させることがなくなった。このような構成により、不要な電力消費をなくすることが可能となった(図-5, -6)。

本例は、システムLSIのコストダウンだけでなく、消費電力の削減も可能となる実例と言える。

## む す び

システムLSI向けCPUコアの概要とそれを用いたシステムLSIの構築技術について述べた。SPARCliteシリーズをCPUコアとして使用した場合、高度なデータ処理能力とワールドワイドなソフトウェアサポートという点で優れていること、また、FRシリーズをCPUコアとして使用した場合、制御用途向けに優れ、メモリ容量削減や低消費電力への対応が可能なシステムLSIを構築することが容易であることを示した。

今後、市場の変化に伴い、それぞれのCPUコアの特徴を生かしたシステムLSI展開のサポート機能の充実を図り、また先端テクノロジーの活用、メモリとの混在を進めていく。