

システム LSI の現状と動向

System LSI : Present and Future Trends

あらまし

半導体技術の急速な進歩を背景に、システムレベルの機能をシリコンチップ上に実現するシステムLSIが脚光を浴びている。2000年には1,000万ゲートを超える集積度が可能となる。この時期には0.18 μm プロセス品の量産が始まる。DRAMの混載も本格化し、システムLSIの性能も飛躍的に増大する。一方、大規模なシステムLSIの設計能力との乖離^{かいり}が生じている。このため、LSI設計はより細分化、専門化される。また、設計期間の短縮のため、性能や動作が保証された機能回路ブロックをIP(知的財産)として、標準化とオープン化が促進されている。

本稿では、このような半導体の動向とともに、新しい設計環境の提供やIP Highwayシステムの構築など、システムLSI時代に向けた富士通の取組みについて紹介する。

Abstract

The rapid progress in semiconductor technology has enabled system level functions to be realized on a single silicon chip and has put System LSI in the spotlight. By 2000, integration levels surpassing 10 million gates will be possible and production of products based on 0.18 μm process technology will soon be started. Also, embedded DRAM will be realized and System LSI performance will jump dramatically.

However, because the design capabilities for complex System LSI are still weak, LSI design flow is becoming increasingly subdivided and specialized. Also, to reduce design time, standardization and open systems are being promoted to reuse the IP (Intellectual Property) of functional circuits blocks with assured performance and operation. This paper describes Fujitsu's efforts regarding new design environments and the construction of the IP Highway concept.



馬場重典 (ばば しげのり)

1975年早稲田大学大学院理工学研究科修士課程了。同年富士通入社。以来MOSロジックLSI設計、顧客サポートに従事。
LSI商品事業本部マーケティング部第一マーケティング部

ま え が き

システムLSI時代を迎え、マルチメディア機器を始めとするデジタル家電や、携帯型通信機器などの最終製品が、1チップで実現できるようになってきた。1チップ化により、システムの高性能化、低消費電力化、低コスト化、高信頼化などが期待できる。

またシステムLSIではソフトウェアの役割が大きくなり、ハードウェアだけでなくソフトウェアも含めたシステムソリューションの提供が、LSIベンダに求められる。

一方、集積度が増大することにより、大規模な回路を短期間でかつ確実に、いかに設計するかという問題が生じている。問題解決のため、新しい設計CADシステムの構築や、設計資産の再利用、有効活用などが検討されている。

本稿では、システムLSIの現状と動向、および富士通の対応について述べる。

半導体の市場と技術動向

● 市場動向

高集積化の進展に伴い、システムレベルの機能を1チップ上に実現するシステムLSIのニーズが高まっている。システムLSI (MPUは除く)の市場予測を図-1に示す。システムLSIの定義は未だ定まっていないが、ここでは10万ゲート以上の規模で、コンピュータエンジンとメモリを搭載しているLSIを指す。システムLSIには、ASIC (Application Specific IC), MCU, マルチメディア向けを始めとするASSP(Application Specific Standard Products)などの商品が含まれる。

ASICに限ると、図-1の市場予測から明らかなように、従来型ASICは微増に留まるが、システムASIC(SLI ASIC: System Level Integration ASIC)は高い成長率を示す。システムLSI全体の市場規模は、2000年には300億ドル

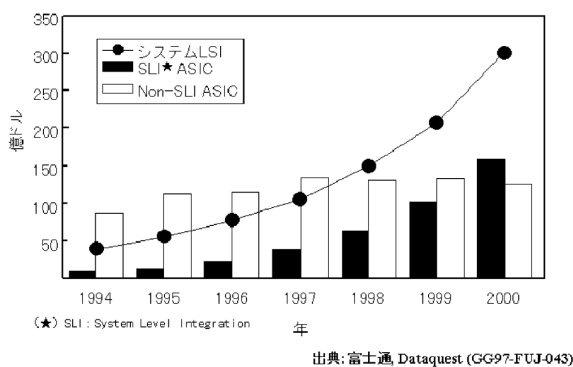


図-1 システムLSIの市場予測 (Worldwide)
Fig.1-System LSI market forecast (Worldwide).

ル程度の額が期待されている。

● 技術動向

システムLSIには、ロジックだけでなくメモリ、プロセッサ、アナログなどシリコン上で実現できる全ての機能素子の集積化が要求される。したがってその設計手法は、従来のASICで主流であったゲートアレイからスタンダードセル手法に変わっている。ゲートアレイに比較してスタンダードセルは小面積にできるので、高性能化が可能となる。低価格でかつ高機能、高性能、高集積度が要求されるシステムLSIの実現のためには、スタンダードセル手法が必須となる。

一方、配線層だけでカスタム回路を実現できるゲートアレイと異なり、スタンダードセルは試作をバルク(Bulk)から行うため試作期間が長くなる。短TAT(Turn Around Time)の実現にはCAD(Computer Aided Design)を駆使した設計期間の短縮が必要となる。

CMOSトランジスタのゲート長と最大搭載ゲート数の年度推移を図-2に示す。2000年には1,000万ゲートを超える回路が1チップに集積されると予測されている。このような大規模なLSIの製造技術が可能になる一方で、いかに短期間でかつ確実に設計するかという問題が生じている。

● ロジックとメモリの融合

ロジックLSIにDRAMを混載する議論が活発である。プロセスなどの制限から、現状は3D-Graphicsなど、限られた応用分野にしか適用されていないが、市場は2000年以降急速に拡大すると予測されている。これは、0.18 μm プロセス品の量産時期とほぼ一致する。2005年の市場規模は、4兆円程度まで伸びると期待されている。

この背景には、データ転送レートの高高速化などによる高性能化、低消費電力化、メモリ容量の最適化、ノイズの低減など、DRAMを混載することによる様々な利点がある。しかし、ロジックLSI上にDRAMを混載すること

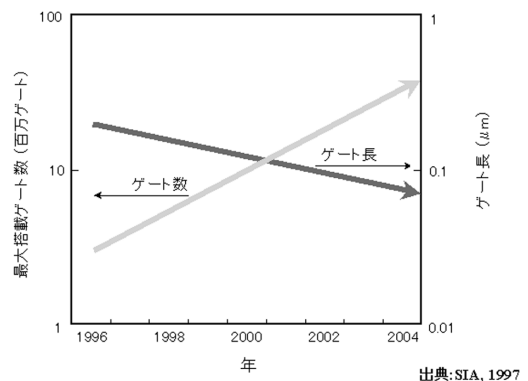


図-2 技術トレンド
Fig.2-Technology trends.

は、ロジックとメモリの製造プロセスが異なるため、現状は簡単ではない。通常はDRAMの集積度を優先するため、DRAMプロセスが採用され、ロジックの性能が低下する。また、プロセス工程数の増加によるコスト高などの問題がある。いずれにしろ、ロジックとメモリの混載技術は、システムLSIには必須技術である。将来的にはプロセス技術とデバイス技術の課題の解決により、ロジックの高速性と汎用DRAMの高集積化の両立が期待される。この真のDRAM混載技術の確立により、システムLSIの飛躍的な性能向上と価格低減が期待できる。

● システムLSI設計フロー

システムLSIの設計フローを図-3に示す。

【アーキテクチャ設計】

LSI内部および外部のハードウェアとソフトウェアの分担を考慮してLSIの仕様を決める。またこの仕様を実現するLSIのアーキテクチャを設計する。この時必要なのがBehavioralモデルで、CあるいはC++で記述されたライブラリをもとにしてシステムシミュレーションを行う。

【RTL設計】

LSIのアーキテクチャが決定されると、引き続きRTL(Register Transfer Level)の設計を行う。必要な機能ブロック(マクロ)の大部分は既設計のRTLライブラリを再利用する。RTLでの記述が終了するとLSIのシミュレーションを行う。

【ゲートレベル設計】

RTLの設計データを論理合成でゲートレベルに変換する。この時既存のマクロやメモリなどは、コンパイラやジェネレータでゲートレベルモデルを発生させる。この

後ゲートレベル・シミュレーションを行い、タイミング解析や消費電力解析などを行う。シミュレーション精度はRTLに比較してかなり良くなるが、その分時間がかかる。

ゲート論理が決定されると、テストシンセシスを行ってテスト回路を付加し、それに対応する試験パターンを発生させる。テスト回路の付加により、タイミング不良の発生する場合もあり、注意が必要である。

【LSIレイアウト】

全ての論理が決定するとレイアウトを行う。通常は階層レイアウトが採用される。まず、クロック系統がタイミングを満足させるように優先的に配置され、つぎにその他の信号線が配線される。配置、配線が決定されると各々の配線長が求められ、RC遅延を考慮したタイミング・ベリフィケーションを行い、設計完了となる。

LSI 開発環境の変化

従来型ASICがシステムLSI化し、市場規模が拡大するにつれ、LSI開発に携わるプレイヤーの役割が分化、多様化し始めた。すなわち、図-4に示すように、IP(Intellectual Property)プロバイダ、設計ハウスなど、高度な専門知識を持つ新しいプレイヤーが出現し、LSI設計はより細分化、専門化される。また、システムベンダはアーキテクチャや仕様で差別化するため、より上位の設計に注力する。これに伴い、LSIベンダとのインタフェースがより上位レベルに移り、LSIベンダもシステムレベルの知識が必要になる。さらに、ハードウェアだけでなく、ソフトウェアも含めたシステム対応力が、要求されるようになってきた。

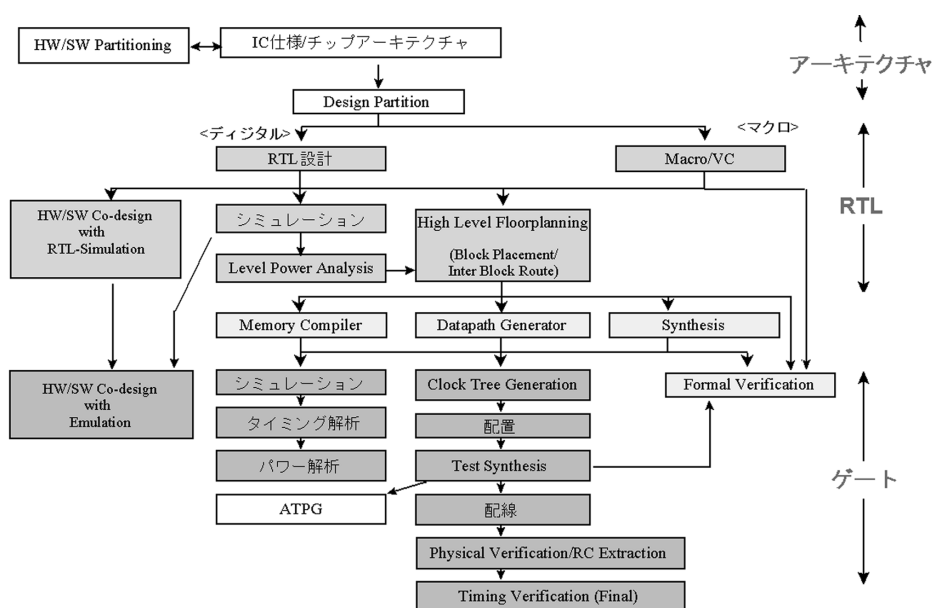


図-3 システムLSI設計フロー
Fig.3-System LSI design flow.

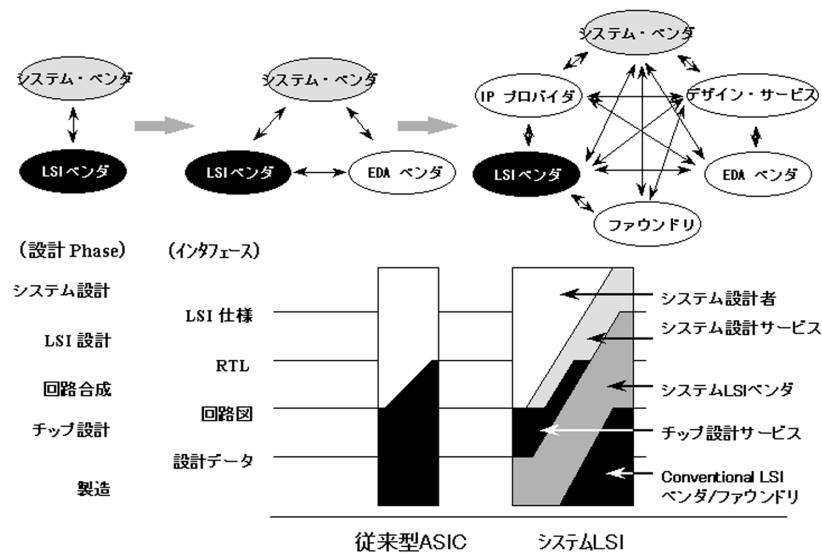


図-4 新しいプレイヤーの出現と設計の細分化、専門化
Fig.4-Entry of players & division of LSI design.

また、システムLSIでは、従来のLSIが一つのマクロあるいはIPとして、システムLSIの構成要素となる。したがって、システムLSIは様々なIPを搭載することになるが、Time To Market のために1社で全てを賄うことは困難になりつつある。換言すれば、高性能なマクロをあらゆるベンダから調達する必要性が生じている。このような状況の中で、マクロの標準化とそのオープン化が不可欠となる。

システム LSI への富士通の対応

● 新しい設計環境と設計手法の提供

増大する集積度、複雑さへの対応のために、設計期間の短縮、設計リスクの低減、設計品質の向上などが求められている。これらの要求に応えるため、富士通では、以下のような新しい設計CAD環境を提供している。

【ハードウェア・ソフトウェアのCo-Design環境】

大規模なシステムLSIでは、ほとんどの場合CPUが内蔵される。従来はLSIの設計完了後にCPU部のソフトウェアの開発を行っていたが、TATの短縮のため、ハードウェア・ソフトウェアのCo-Designの環境を提供している。これにより、システムレベルの検証が設計の早い段階で行われ、設計変更回数的大幅な削減や設計品質の向上を図ることが可能となる。

【エミュレーション環境】

ゲートレベル・シミュレーションでは、シミュレーション精度はRTLレベルに比較してかなり良くなるが、その分時間がかかる。この対策としてエミュレーションがある。ゲートレベルの論理をエミュレータ上に実現しハードシミュレーションを行う。従来のシミュレーション

に比較して4～6桁の高速化が可能である。また、先のCo-Designで述べたように、従来、ソフトウェアを含んだシステム検証はLSI試作後でないとできないが、エミュレーションシステムの導入により試作前のシステム検証が可能となり、開発TATの短縮が可能となる。

【ハイレベル・フロアプランナ】

仮配線容量テーブルで論理設計されていた従来の方法では、レイアウト後にタイミングエラーが多出し、修正のための設計繰返しでTATが増大していた。また正確なチップサイズ、消費電力の確認は、レイアウト完了後でないと決定され得なかった。

ハイレベル・フロアプランナの導入により、フロアプランデータをもとにした論理設計が可能となり、レイアウト後のタイミングエラーが減少し、設計の繰返し工数が大幅に削減される。さらに、フロアプラン段階で、より正確な配線見積りと消費電力の予測が可能となる。

● 高性能プロセッサコアの提供

システムLSIの中核を成すプロセッサのロードマップを図-5に示す。富士通では機器組込み用に2シリーズの高性能32ビットRISCマイクロプロセッサを用意している。高性能ワークステーション並みの性能を持ち、高速画像処理などが可能なSPARClikeシリーズと、主に入出力制御やマルチメディア機器などへの組込みに向くFRシリーズである。両シリーズは用途と性能で補完する関係にある。

今後の展開としてはpicoJava^(注1)マイクロプロセッサコア展開がある。富士通は1997年11月に、サン・マイクロ

(注1) picoJavaは、米国Sun Microsystems Inc. の登録商標。

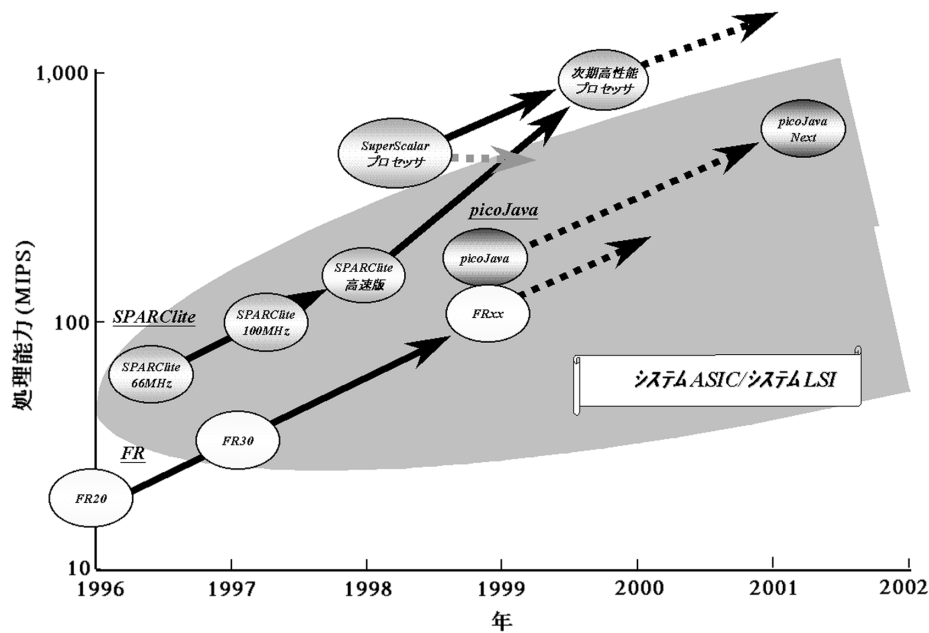


図-5 プロセッサ・ロードマップ
Fig.5-Processor roadmap.

システムズ社からpicoJava マイクロプロセッサコアのライセンスを取得する合意に調印した。Java^(注2) プロセッサとは、ハードウェアでJavaの命令セットを直接実行できるRISCベースの高性能プロセッサである。インタプリタやJIT(Just In Time compiler)を用いるプロセッサと比較し、より低消費電力かつ高速にJavaアプリケーションを実行できる。SPARClikeシリーズとFRシリーズを更に補完する形で、今後ネットワーク・コンピュータなどの市場に向けて、独自の低消費電力技術を採用したpicoJava コアを開発し、システムLSIへのCPUコア展開を予定している。

● IP Highwayシステムの構築

システムLSI時代を迎え、IPの開発、調達並びにその再利用が非常に重要な課題になってきた。マクロの標準化とそのオープン化のため、1996年9月にVSIA(Virtual Socket Interface Alliance)が設立された。富士通はVSIAの設立に参画し、IPの流通を目指してIP Highway システムを構築した。システムの概念を図-6に示す。このシステムは、IPの蓄積、再利用、流通をサポートするネットワーク上のシステムである。これにより、設計TATの短縮と、設計品質の向上を図ることが可能になる。

む す び

システムLSIの現状と動向、および富士通の取組みについて紹介した。今後のデジタル化の進展とともに、LSIはシステムLSI化され、そのニーズはますます高まる。

(注2) Javaは、米国Sun Microsystems Inc. の登録商標。

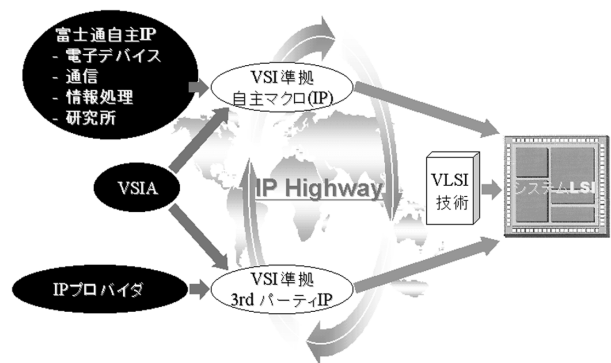


図-6 IPの自主開発と再利用の推進
Fig.6-In-house development and reuse of IP.

2000年には、0.18 μm プロセス品の量産が始まり、集積度は1,000万ゲートを超える。また、この時期にはDRAMの混載も本格的になり、性能は飛躍的に増大する。このような半導体技術の発展の一方で、設計能力との乖離も顕在化している。デジタル家電機器や携帯機器などの製品サイクルは数か月程度であり、開発期間の短縮が熱望されている。

また、システムLSIの開発はまさにシステムその物の開発であり、ハードウェアだけでなく、ソフトウェアも含めたシステムソリューションの提供も必須である。

このようなシステムLSI時代を迎え、富士通は新しい設計CADシステムの提供や、IP Highwayシステムの構築により、設計TATの改善を行うとともに、新たなプロセッサコアの展開やミドルウェアの整備などにより、システムLSIへの対応を図っている。