

CMOS 65nm 标准单元

CS201 系列

本产品是一种实现了针对移动设备市场和数字 AV 设备市场的设计，配备了低功耗 / 高速库的标准单元。它可以实现面向要求高性能化、高集成化、低功耗化的移动设备和数字 AV 设备的 LSI。

概要

“CS201 系列”产品实现了要求高性能化、高集成化、低功耗化的移动设备和数字 AV 设备所需的 LSI，是富士通最先进的 65nm 标准单元。为了实现更多的应用，我们不断提升该产品的性能和功能，在不断改进技术、设计方法的同时，还引进了低功耗技术。同时为了保持良好的品质，还引进了提高制造成品率的措施。

图 1 所示的是应用对象。

特点

高集成化

以高集成化为目标，开发了实际栅长 50nm 的晶体管和最多 12 层的微小间距铜配线。为了减少配线容量，我们引进了 Ultra Low-k 层间材料技术，并因此实现了 807k 栅 /mm²（排满），它的集成度大约是 90nm 技术传统产品的两倍。

表 1 所示的是技术规格。

低功耗化

· 基本单元集的低功耗化

工作用电源电压的范围是 0.9V 到 1.3V。功耗与富士通 90nm 传统产品相比，在以 1.2V 电压工作时减少到约 66% 的 1.77nW/ 栅，在以 1.0V 电压工作时减少到约 47% 的 1.28nW/ 栅（这 2 种情况下的风扇输出均为 2，1MHz，可用率 0.5）。使用这些基本单元集生产相同规格的 LSI，与 90nm 一代产品相比，能使功耗削减到原来的 60%^{*3}。

· SRAM 的低功耗化

除了能提供传统的 SRAM 外，还提供多模式 SRAM。除了普通工作模式外，此款产品还备有动态电力几乎为 0 的待机模式和泄漏电流约为待机模式 1/3 的睡眠模式，成功地实现了低功耗。

*3: 核心部分的功耗。不过，功耗会根据 LSI 电路结构的不同而发生变化。

· 低功耗电路技术

提供门控时钟、多阈值电压 (Multi-V_{th}) 和电源分离块 (多电压 (Multi-V_{DD})、电源门控)。在这些设计环境下，我们开发出了采用行业标准格式 CPF 的低功耗设计流程。这样一来，我们在低功耗设计环境中，也能够快速成功地完成所有的设计步骤。(图 2)

图 1 应用对象

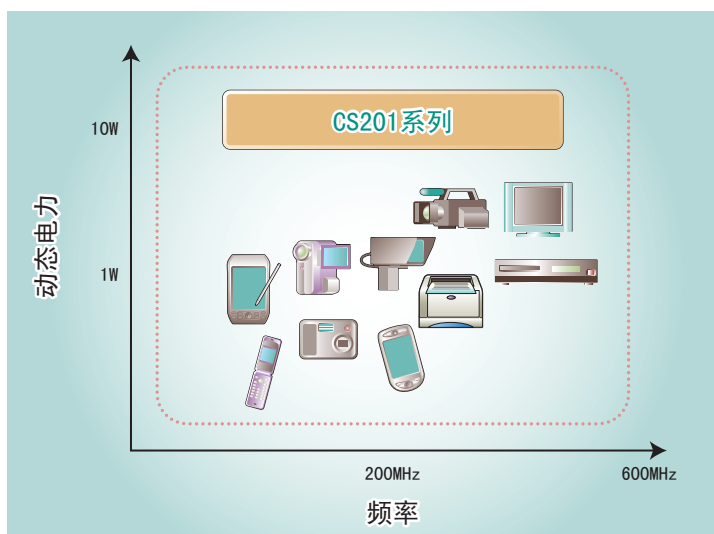


表 1 技术规格

系列名		标准单元 CS201	
品名		MB8ACxxxx (末尾 4 个文字由本公司指定)	
工艺技术		50nm, Si 栅 CMOS 6 层~12 层配线 (适用铜) Ultra Low-K 层间膜	
集成度		807k 栅/mm ²	
电气特性	延迟时间 ^{*1}	11ps	
	功耗 ^{*2}	1.77nW/栅 (1.2V) 1.28nW/栅 (1.0V)	
	接口电平	1.8V、2.5V、3.3V	

*1: 1.2V、变频器、风扇输出=1 *2: 风扇输出=2、1MHz、可用率 0.5

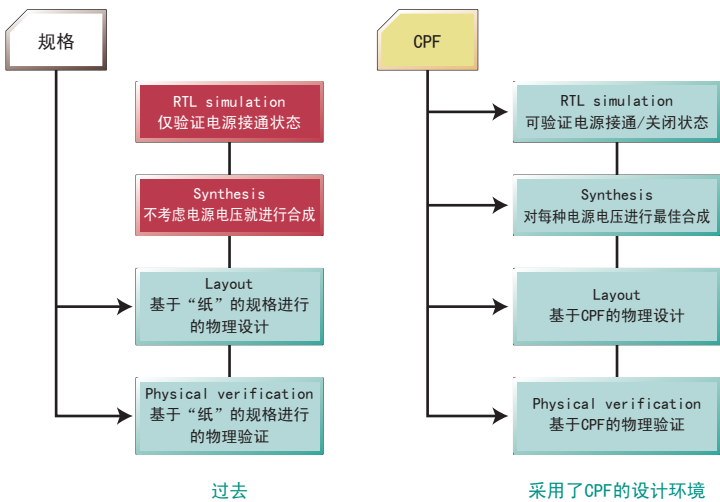
图 2 提供全面采用行业标准格式 CPF 的低功耗设计环境

本公司在90nm代及65nm代的设计流程中全面采用CPF，提供一直以来难以实现的电源闸控、多电源和多电压设计的理论验证及支持物理验证的解决方案。

采用此设计环境，通过RTL理论仿真，也可以验证部分电路块为电源中断状态的系统的运行。

并且，通过理论仿真验证的RTL和CPF可以直接用于物理设计和物理验证。过去模糊不清的电源信息接口因此变得明确，能够进行可靠性高的设计。

* CPF (Common Power Format) 是Si2组织批准的行业标准的LSI功率信息记述格式。



IP 宏

为了更容易实现高性能系统 LSI，我们支持 CPU 宏、各种相关宏、存储器、加法计算器、乘法计算器等代表性的运算宏、PLL、模拟宏和高速传输接口宏。

除了传统的 SRAM 以外，我们还提供实现了小面积、高速率、大容量、低功耗的 1T-SRAM-Q[®]。它适用于图像处理等所代表的大容量、需要高速连接的应用。

此外，还能提供根据 LSI 之间的连接负荷而保持最佳波形品质、切换驱动能力的接口单元。

表 2 所示的是该产品支持的 IP 宏的种类。

设计方法

除了具有新一代 90nm 产品所采用的参考设计流程的高精度解析、验证和高性能的开发环境以外，我们还引进了低功耗对策、统计性时间解析等先进的设计技术，为顾客 LSI 开发提供支持。

DFM (Design For Manufacturing)

考虑了成品率的设计
(Yield Cost Driven Layout)

富士通在开发宏单元时，事先就考虑了光刻的影响。在进行 LSI 开发时，也会根据需求引进各种以提高 VIA 的冗余化为主要目的，并与成品率和可靠性相关的措施。(图 3)

表 3 所示的是最大标称值，表 4 所示的是推荐运行条件。

*1T-SRAM-Q 是在美国专利商标局注册的 MoSys 公司的商标。
*ARM 是 ARM Limited 的商标。
*其他公司名称及产品名称是各公司的商标或注册商标。

表 2 IP 宏

CPU/DSP	ARM CORE (ARM7/ARM9/ARM11), Peripherals IP 等
混合信号宏	ADC、DAC、OPAMP 等
可编译宏	SRAM (1端口、2端口)、ROM、乘加器 等
大容量存储器	1T-SRAM-Q
PLL	模拟PLL
接口宏 (物理)	LVDS、SSTL2、SSTL18、PCI、I ² C 等
接口宏 (控制器)	USB2.0设备/主机、S-ATA、PCI-Express、DDR2、HDMI 等

图 3 实现高成品率的 DFM 技术

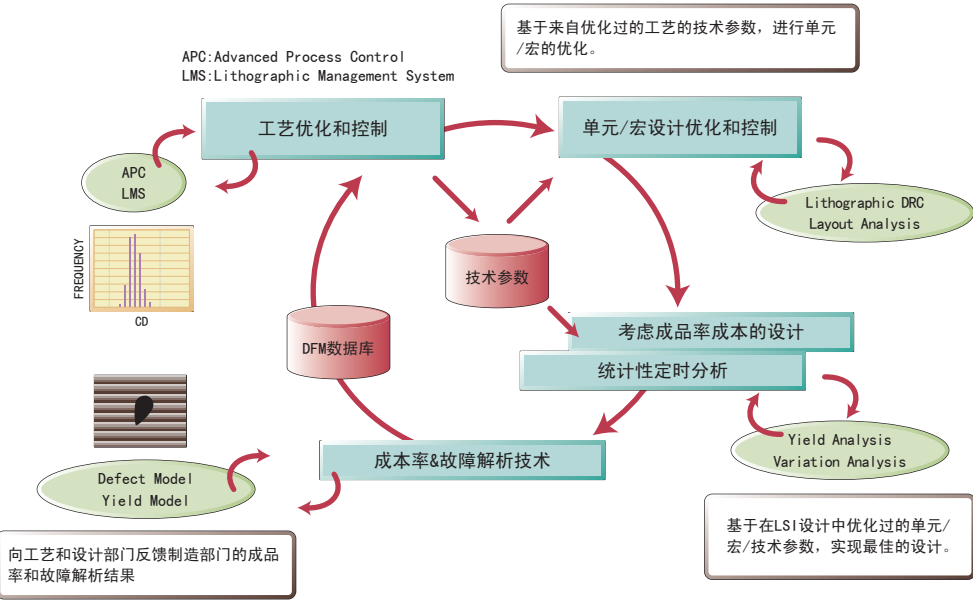


表 3 最大标称值

项目	符号	标称值	单位
电源电压	V _{DD}	-0.5~1.8 *4	V
		-0.5~2.5 *5	
		-0.5~3.6 *6	
		-0.5~4.6 *7	
输入电源	V _I	-0.5~V _{DD} +0.5 (≦2.5V) *5	V
		-0.5~V _{DD} +0.5 (≦3.6V) *6	
		-0.5~V _{DD} +0.5 (≦4.6V) *7	
输出电压	V _O	-0.5~V _{DD} +0.5 (≦2.5V) *5	V
		-0.5~V _{DD} +0.5 (≦3.6V) *6	
		-0.5~V _{DD} +0.5 (≦4.6V) *7	
保管环境温度	T _{ST}	-55~125	℃

* 4: 内部栅部分
* 5: 以双电源在1.8V下进行接口通信时的输入输出部分
* 6: 以双电源在2.5V下进行接口通信时的输入输出部分
* 7: 以双电源在3.3V下进行接口通信时的输入输出部分

表 4 推荐运行条件

项目	符号	规格值			单位
		最小	标准	最大	
电源电压	V _{DDI}	1.1	1.2	1.3	V
	V _{DDE}	0.9	1.0	1.1	
高电平输入电压	V _{IH} *8	2.0	—	V _{DDE} +0.3	V
低电平输入电压	V _{IL} *8	-0.3	—	0.8	V
运行接合温度	T _j	-40	—	125	℃

(V_{DDI}=1.0V±0.1V, V_{DDE}=3.3V±0.3V, V_{SS}=0.0V, 双电源时)
(V_{DDI}=1.2V±0.1V, V_{DDE}=3.3V±0.3V, V_{SS}=0.0V, 双电源时)
* 8: CMOS 接口时